



## MicroPatent® PatSearch Fulltext: Record 1 of 1

**Search scope:** US Granted US Applications EP-A EP-B WO JP (bibliographic data only) DE-C,B DE-A DE-T DE-U GB-A FR-A

**Years:** 1836-2005

**Patent/Publication No.:** ((JP05299616))

[Order This Patent](#)

[Family Lookup](#)

[Find Similar](#)

[Legal Status](#)

[Go to first matching text](#)

**JP05299616 A  
SEMICONDUCTOR STORAGE  
DEVICE  
HITACHI LTD**

**Abstract:**

**PURPOSE:** To attain the non-volatilization of data by mounting a non-volatile memory chip, to which writing and erasure are enabled, and a RAM on the same package and constituting one semiconductor storage device.

**CONSTITUTION:** A chip control signal CC is changed over from a high level to a low level, a Flash is brought to a standby state and stored data are read from the head address of a DRAM. A CPU changes over the chip control signal CC to the high level, inputs a command 10H to the Flash through a data bus DB, and indicates write operation while inputting read data from the DRAM as write data. The operation is conducted to all stored data of the DRAM, thus transferring the stored data of the DRAM to the Flash. When a power supply is interrupted, data stored in the DRAM are broken, but the same data can be stored in the Flash.

**COPYRIGHT:** (C)1993,JPO&Japio

**Inventor(s):**

ISHIHARA MASAMICHI  
SATO HIROSHI  
KOTANI HIROAKI  
YOSHIDA KEIICHI

**Application No.** 04122568 **JP04122568 JP**, **Filed** 19920416, **A1 Published**  
19931112

**Int'l Class:** H01L027115

**BEST AVAILABLE COPY**

H01L02704 H01L027108

**Patents Citing This One (4):**

- US6392950 B2 20020521 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6411561 B1 20020625 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6587393 B2 20030701 Hitachi, Ltd.  
Semiconductor device including multi-chip
- US6847575 B2 20050125 Renesas Technology Corp.  
Semiconductor device including multi-chip



For further information, please contact:

[Technical Support](#) | [Billing](#) | [Sales](#) | [General Information](#)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-299616

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.<sup>5</sup>  
H 01 L 27/115  
27/04  
27/108

識別記号 庁内整理番号  
U 8427-4M  
8728-4M  
8728-4M

F I  
H 01 L 27/10 434  
321

技術表示箇所

審査請求 未請求 請求項の数10(全28頁)

(21)出願番号 特願平4-122568  
(22)出願日 平成4年(1992)4月16日

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 石原 政道  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72)発明者 佐藤 弘  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(72)発明者 小谷 博昭  
東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内  
(74)代理人 弁理士 徳若 光政

最終頁に続く

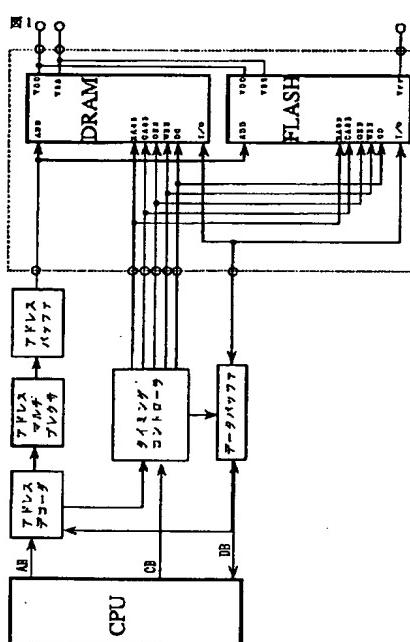
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 使い勝手のよい新規な半導体記憶装置を提供する。

【構成】 電気的に書き込みと消去が可能にされた不揮発性のメモリチップとRAMとを同一のパッケージに実装させて1つの半導体記憶装置を構成する。

【効果】 メモリアクセスはRAMに対して行うことにより高速化と書き換え回路数の制限を無くし、電源を遮断する前にRAMのデータを不揮発性メモリに書き込むことによりデータの不揮発化を図ることができる。



1

2

## 【特許請求の範囲】

【請求項1】 電気的に書き込みと消去が可能にされた不揮発性のメモリチップと、ランダム・アクセス・メモリチップと同一のパッケージに実装させてなることを特徴とする半導体記憶装置。

【請求項2】 上記不揮発性のメモリチップは、トンネル酸化膜を通して流れるトンネル電流によりフローティングゲートに蓄積された情報電荷の消去動作が行われる一括消去型不揮発性メモリであり、ランダム・アクセス・メモリはダイナミック型RAMであることを特徴とする請求項1の半導体記憶装置。

【請求項3】 上記一括消去型不揮発性メモリとダイナミック型RAMとは同じ記憶容量を持つようにされるものであことを特徴とする請求項2の半導体記憶装置。

【請求項4】 上記不揮発性のメモリチップとランダム・アクセス・メモリチップとは、外部アドレス端子及び制御端子が実質的に同様にされて外部からアドレス信号と制御信号とが共通に供給されるとともにいずれかのチップをアクセスするかを選択する制御端子が設けられてなることを特徴とする請求項1、請求項2又は請求項3の半導体記憶装置。

【請求項5】 上記不揮発性のメモリチップは、一連の自動消去動作及び自動書き込み動作を制御する制御回路が内蔵されるものであることを特徴とする請求項1、請求項2、請求項3又は請求項4の半導体記憶装置。

【請求項6】 上記不揮発性のメモリチップとランダム・アクセス・メモリチップには、それぞれ内部でデータの転送を行わせる制御回路が含まれるものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5の半導体記憶装置。

【請求項7】 上記不揮発性のメモリチップは、外部からの直接アクセスが不能にされ、上記データの転送を行わせる制御回路によりランダム・アクセス・メモリチップの記憶データのバックアップ用にのみ使用されるものであることを特徴とする請求項6の半導体記憶装置。

【請求項8】 上記不揮発性のメモリチップとランダム・アクセス・メモリチップとはLOC技術によりリードに接続され、このリードを介して2つが同一パッケージの中で電気的に接続されるよう重合わされて実装されるものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6の半導体記憶装置。

【請求項9】 上記不揮発性メモリチップのアクセスは、電源遮断時に必要な消去動作が行われた後にランダム・アクセス・メモリチップの必要な記憶データが書き込まれるものであることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7又は請求項8の半導体記憶装置。

【請求項10】 電気的に書き込みと消去が可能にされた不揮発性のメモリチップと、ランダム・アクセス・メ

10

20

30

40

モリチップと、上記両メモリチップの間でデータの転送を行わせる制御用チップと同一のパッケージに実装させてなることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、記憶データの不揮発化と高速アクセスなどが可能な半導体記憶装置に利用して有効な技術に関するものである。

## 【0002】

【従来の技術】 不揮発性のメモリとして、トンネル電流を利用して消去動作を行わせるフラッシュ(Flash)メモリがある。このようなフラッシュメモリに関しては、1988年10月、アイ・イー・イー・イー ジャーナル オブ ソリッドステート サーキツ(IEEE JOURNAL OF SOLID-STATE CIRCUITS) Vol23 No.5、頁1157～頁1163がある。

## 【0003】

【発明が解決しようとする課題】 上記のような不揮発性メモリは、電源を遮断してもデータが失われないという特長を持っている。しかしながら、その書き込み動作や読み出し動作が遅いことと、書き換え回数に制限があるという欠点を持っている。そこで、本願発明者等は、高速アクセスが可能なRAMと同一パッケージに実装させて、書き換え回数の制限を無くしつつ高速アクセスと電源遮断に対するデータの不揮発化を実現した半導体記憶装置を得ることを考えた。

【0004】 この発明の目的は、使い勝手のよい新規な半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0005】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電気的に書き込みと消去が可能にされた不揮発性のメモリチップとRAMとを同一のパッケージに実装させて1つの半導体記憶装置を構成する。

## 【0006】

【作用】 上記した手段によれば、メモリアクセスはRAMに対して行うことにより高速化と書き換え回路数の制限を無くし、電源を遮断する前にRAMのデータを不揮発性メモリに書き込むことによりデータの不揮発化を図ることができる。

## 【0007】

【実施例】 図1には、この発明に係る半導体記憶装置とそれを用いたマイクロコンピュータシステムの一実施例のプロック図が示されている。

【0008】 この実施例の半導体記憶装置は、同図に点線で示すように2つのメモリチップが1つのパッケージ

に実装されて構成される。1つのメモリチップは、ダイナミック型RAM(以下、単にDRAMという)であり、他方のメモリチップは一括消去型不揮発性メモリ(以下、単にFLASH又はFlashという)である。2つのメモリチップDRAMとFLASHは、特に制限されないが、同じ記憶容量を持つようにされる。これにより、2つのメモリDRAMとFLASHとは、同様な複数ビットからなるアドレス端子ADDを持ちパッケージ内部で共通化され、共通の外部アドレス端子に接続される。

【0009】メモリチップDRAMの制御端子としては、公知のダイナミック型RAMと同様にロウアアドレスストローブ端子RASB、カラムアドレスストローブ端子CASB、ライトイネーブル端子WEB及び出力イネーブル端子OEBを持つ。この実施例のメモリチップFLASHは、前記公知のフラッシュメモリとは異なり、前記ダイナミック型RAMに併せてアドレスマルチプレックス方式により、アドレス信号の取り込みが行われる。そのため、メモリチップDRAMと同様にロウアアドレスストローブ端子RASB、カラムアドレスストローブ端子CASB、ライトイネーブル端子WEB及び出力イネーブル端子OEBを持つようになる。

【0010】これらの制御端子は、パッケージ内部で対応するものが共通化されて、外部制御端子に接続される。上記構成では、2つのメモリチップが同時にアクセスされてしまうという不都合が生じる。そこで、メモリチップDRAMとFLASHとには、DRAMモードとFLASHモードとを切り分ける制御端子CCが新たに設けられる。例えば、この制御端子CCをロウレベルにすると、メモリチップFLASHの全端子がハイインピーダンス状態にされて、メモリチップDRAMに対してメモリアクセスが行われるというDRAMモードにされる。これに対して、制御端子CCをハイレベルにすると、メモリチップDRAMの全端子がハイインピーダンス状態にされて、メモリチップFLASHに対してメモリアクセスが行われるというFLASHモードにされる。このFLASHモードにおいて、メモリチップDRAMは、自動的に内部に設けられた自動リフレッシュ回路によって行われるセフルリフレッシュモードに入りその後のデータの保持動作を行うようになる。

【0011】電源端子は、約5Vのような電源電圧端子VCCと、回路の接地電位VSSとが内部で共通化されて、外部の電源端子に接続される。また、メモリチップFLASHは、その書き込みや消去動作のために必要とされる約12Vのような高電圧端子VPPを持ち、それはメモリチップFLASHに対する専用の電源端子とされる。

【0012】特に制限されないが、5V単一のFLASHメモリチップを使用すれば、VPP電源端子は必要なくなるが、チップ内に5Vの電源電圧から約12Vのよう

な高電圧に昇圧するための昇圧回路が必要になる。また、3.3V系等で使用できるDRAM、FLASHを使用すれば、VCCは3.3V程度となろう。

【0013】同図のマイクロコンピュータシステムは、上記のような半導体記憶装置と、それを選択する周辺回路及びCPUから構成される。CPUは、正確には電子計算機を構成する中央処理装置の略であるが、マイクロコンピュータシステムではマイクロプロセッサと呼ばれているので、以下、CPUをマイクロプロセッサのように呼ぶものとする。マイクロコンピュータシステム等に必要なプログラムROM、ディスク記憶装置、キーボード等の入力装置やディスプレイやプリンタといったような出力装置は、この発明には直接関係がないので省略されている。

【0014】マイクロプロセッサCPUにより生成されたアドレス信号は、アドレスバスABを通してアドレスデコーダに供給される。アドレスデコーダは、上記半導体記憶装置に割り当てられたアドレスであると解釈すると、それをアドレスマルチプレクサに供給する。アドレスマルチプレクサでは、X系のアドレスとY系のアドレスに分けて、後述するタイミングコントローラで生成されたアドレスストローブ信号RASB、CASBに同期して時分割的に送出させる。アドレスバッファは、上記生成されたX系のアドレス信号とY系のアドレス信号を時分割的にこの発明に係る半導体記憶装置に供給する。

【0015】マイクロプロセッサCPUから生成された制御信号は制御バスCBを介してタイミングコントローラに供給される。タイミングコントローラは、メモリの書き込み／読み出し動作を制御する制御信号と、上記アドレスデコーダにより生成されたX系とY系のアドレス信号の出力タイミング信号とを受けて、上記アドレスストローブ信号RASB、CASB及び出力イネーブル信号OEB、ライトイネーブル信号WEB及びチップコントロール信号CCを生成して、この発明に係る半導体記憶装置に供給する。

【0016】データバッファは、マイクロプロセッサCPUのデータバスDBに接続されて、書き込みデータと読み出しデータとを転送させる双方方向バッファであり、タイミングコントローラによりデータの転送方向が指示される。特に制限されないが、データバッファからアドレスデコーダに伝えられる信号は、アドレスの拡張に用いられる。すなわち、マイクロプロセッサCPUのデータバスから拡張アドレスが出力されてデータバッファにいったんストックされ、拡張用アドレスとしてアドレスデコーダに伝えられる。

【0017】図2には、FlashからDRAMへのデータ転送動作を説明するための一実施例のフローチャート図が示されている。①では、マイクロプロセッサCPUからFlashに対して消去動作が指示される。すなわち、マイクロプロセッサCPUは、チップコントロール信号C

5

CをハイレベルにしてFlashを活性化させ、データバスDBを通してコマンド30Hを入力する。この間、DRAMでは、信号CCのハイレベルにより全ての外部端子がハイインピーダンス状態になるとともに、セルフリフレッシュモードに入る。

【0018】Flashにおいては、上記コマンド30Hを解読し、それに基づき実際の消去動作に先立ってブレライトを実施する。消去される前のメモリセルの記憶情報、言い換えるならば、記憶素子のしきい値電圧は、書き込みの有無に従って高低さまざまである。上記のブレライト動作は、電気的消去動作に先立って全記憶素子に対して書き込みを行うことにより、未書き込みのメモリセルであるいわば消去状態のメモリセルに対して、以下の自動消去動作が行われることによって負のしきい値電圧になるメモリセルが発生することを防ぐものである。

【0019】一般に電気的消去では消去を長時間続けたときのしきい値電圧は、熱平衡状態のしきい値電圧とは異なり負の値となり得る。EEPROM(イレーザブル・プログラマブル・リード・オンリー・メモリ)のように紫外線で消去を行う場合にはその記憶装置を製造した時のしきい値に落ち着き、製造法により制御し得るとは対照的である。上記のメモリセルではしきい値が負になると読み出しに悪影響がでる。このブレライト動作は、対象となるピットを一括書き込みを行う。

【0020】上記のようなブレライトが終了すると、以下のようなイレイズ(消去動作)が実行される。一括消去のための消去パルスが発生される。この後、上記アドレス設定に従いペリファイ動作が行われる。このペリファイ動作では、動作電圧が低電圧VCCより更に低い、例えば3.5Vのような低い電圧に切り替えられて読み出し動作が行われる。この読み出し動作において、読み出し信号が“0”ならば、しきい値電圧が上記3.5V以下の消去状態にされたものと認められ、順次にアドレスインクリメントを行う。

【0021】前記のブレライト動作と同様に最終アドレスか否かの判定を行い、最終アドレスでない場合には、上記同様なペリファイ動作を行う。これを最終アドレスまで繰り返して行うことにより消去動作を終了する。この消去動作では、前記のように一括消去するため、チップ内のメモリセルのうち書き込み動作によって最もしきい値電圧が高くなれたメモリセルにより消去回数が決められる。すなわち、最もしきい値電圧が高くなれたメモリセルが、上記約3.5Vで読み出しが可能、すなわち低いしきい値電圧を持つまで消去パルスが、ペリファイ結果に基づいて行われるものとなる。このような制御された消去動作により、メモリセルのしきい値電圧を負にすることなく、正確に所定の電圧に設定することができる。

【0022】マイクロプロセッサCPUは、上記のような消去動作が終了すると、②においてチップコントローラ

6

ル信号CCをハイレベルからロウレベルに切り替えて、Flashをスタンバイ状態し、代わってDRAMを活性化してリードモードにする。すなわち、DRAMの先頭アドレスから記憶データの読み出しを行う。

【0023】マイクロプロセッサCPUは、DRAMからの読み出しデータを受けると、③においてチップコントロール信号CCをハイレベルに切り替えて、データバスDBを通してFlashにコマンド10Hを入力し、書き込み動作を指示するとともに、上記DRAMからの読み出しデータを書き込みデータとして入力する。これにより、Flashには書き込み動作が行われる。このとき、過剰な書き込みレベルの安定化のために、イレイズ動作と同様に1つの書き込みパルスを発生させた後にペリファイを行って読み出し信号が“1”になるまで、言い換えるならば、しきい値電圧が5V以上に高くなるまで上記書き込みパルスを発生させる。この間、DRAMは、上記信号CCのハイレベルに対応してセルフリフレッシュモードにされている。

【0024】以上の②と③の動作を、DRAMの全記憶データに対して行うことにより、DRAMの記憶データをFlashに転送させる。この後に、この実施例の半導体記憶装置を含むマイクロコンピュータシステムの電源を遮断すると、DRAMに記憶されたデータは破壊されてしまうが、それと同じデータをFlashに記憶させることができる。

【0025】図3には、DRAMからFlashへのデータ転送動作を説明するための一実施例のフローチャート図が示されている。電源が再投入されると、マイクロプロセッサCPUは、①においてチップコントロール信号CCをハイレベルにしてFlashを活性化させ、データバスDBを通してコマンド00Hを入力する。あるいは、このようなリードモードを指示するコマンドを逐一入力しなくても制御信号OEBやWEBのレベルによってFlashを自動的にリードモードしてもよい。この間、DRAMでは、信号CCのハイレベルにより全ての外部端子がハイインピーダンス状態になるとともにセルフリフレッシュモードを行っているが、無意味なデータに対するダミー動作であると理解されたい。

【0026】Flashにおいては、上記コマンド00Hを解読し、それに基づきリード動作を実施する。マイクロプロセッサCPUは、上記リードデータを受け取ると、②においてチップコントロール信号CCをロウレベルにし、DRAMをライトモードにして、対応するアドレスに上記リードデータを書き込む。この間、信号CCのロウレベルによってFlashはスタンバイ状態になる。

【0027】以下、①と②の動作がFlashとDRAMの最終アドレスまで行われて、上記データ転送動作が終了する。このようなデータ転送動作により、DRAMには電源遮断前のデータを記憶させることができ、電源遮断前と同じ状態にマイクロコンピュータシステムを回復さ

せることができる。

【0028】図4には、FlashからDRAMへのデータ転送動作を説明するための一実施例のタイミング図が示されている。①の期間、マイクロプロセッサCPUによりチップコントロール信号CCがハイレベルされてFlashモードが指示される。このとき、信号RASBのロウレベルによりチップが選択され、信号WEBのロウレベルからハイレベルへ変化タイミングでデータ端子I/Oに入力されたコマンド30Hを取り込む。この実施例のFlashでは、誤消去を防ぐために、上記のような消去動作を指示するコマンド30Hが2回連続して入力されることを持ってイレイズモードに入るようになる。なお、上記のようなDRAMとFlashが組み合わせされた複数の半導体記憶装置がシステム上に搭載される場合、上記信号RASBによりいずれの半導体記憶装置に対してアクセスが行われるかが指示される。この場合には、上記チップコントロール信号CCは複数の半導体記憶装置に対して共通に供給される。

【0029】イレイズ動作は、信号RASBと信号OEBのロウレベルにより開始される。この間、データ端子I/Oはハイインピーダンス状態にされてるが、最上位ビットI/O7がデータボーリングに用いられる。すなわち、I/O7においては、イレイズ動作の間ロウレベルの出力信号が送出され、イレイズ動作終了によってハイレベルに変化させられる。マイクロプロセッサCPUは、データボーリングにより上記I/O7のロウレベルを監視し、そのハイレベルへの変化によりイレイズ動作の終了を判定する。

【0030】②の期間、マイクロプロセッサCPUによりチップコントロール信号CCがロウレベルされてDRAMモードが指示される。このとき、通常のダイナミック型RAMの動作と同様にロウアドレスストローブ信号RASBのロウレベルによりX系のアドレス信号X1が取り込まれて保持され、X系の選択動作が行われる。次いで、カラムアドレスストローブ信号CASBのロウレベルによりY系のアドレス信号Y1が取り込まれ、信号WEBのハイレベルによりリードモードが指示されて、上記データD1の読み出しが行われる。

【0031】③の期間、マイクロプロセッサCPUによりチップコントロール信号CCがハイレベルされて再びFlashモードが指示される。このとき、信号RASBのロウレベルによりチップが選択されるとともに、X系のアドレス信号X2が取り込まれる。信号WEBのロウレベルからハイレベルへ変化タイミングでデータ端子I/Oに入力されたコマンド10Hを取り込む。これにより、Flashに対してライトモードが指示される。次に、信号CASBのロウレベルによりY系のアドレス信号Y2が取り込まれて、メモリセルの選択動作が行われる。信号WEBのロウレベルからハイレベルへの変化に同期し、上記データD1に対応した書き込みデータD2が取

り込まれる。

【0032】特に制限されないが、信号RASB、CASB及びOEBのロウレベルにより自動書き込み動作が開始され、その間データ端子I/O7においては、書き込み動作の期間ロウレベルの出力信号が送出され、書き込み動作終了によってハイレベルに変化させられる。マイクロプロセッサCPUは、データボーリングにより上記I/O7のロウレベルを監視し、そのハイレベルへの変化により書き込み動作の終了を判定する。以下、④に戻り、DRAMから次のアドレスの読み出しを行い、⑤に移行して上記DRAMから読み出したデータをFlashに書き込むという動作を繰り返す。この実施例では、上記のようなチップコントロール信号CCのハイレベル/ロウレベルに応じて、高電圧VPPは12V/5Vのよう切り替えられる。

【0033】図5には、DRAMからFlashへのデータ転送動作を説明するための一実施例のタイミング図が示されている。①の期間、マイクロプロセッサCPUによりチップコントロール信号CCがハイレベルされてFlashモードが指示される。このとき、信号RASBのロウレベルによりチップが選択され、それと同期して入力されたX系のアドレス信号X1の取り込みが行われる。信号WEBのロウレベルからハイレベルへ変化タイミングでデータ端子I/Oに入力されたコマンド00Hを取り込む。この実施例のFlashでは、リードモードを指示するコマンド00Hを用いたが、何もコマンドが入力しなくても自動的にリードモードにするようにしてもよい。次に、信号CASBのロウレベルに同期して入力されたY系のアドレス信号Y1の取り込みが行われ、これらのアドレス信号X1とY1により選択されたFlashメモリセルの記憶データFDATAが outputされる。

【0034】②の期間、マイクロプロセッサCPUによりチップコントロール信号CCがロウレベルされてDRAMモードが指示される。このとき、通常のダイナミック型RAMの動作と同様にロウアドレスストローブ信号RASBのロウレベルによりX系のアドレス信号X2が取り込まれて保持されるとともにX系の選択動作が行われる。次いで、カラムアドレスストローブ信号CASBのロウレベルによりY系のアドレス信号Y2が取り込まれ、信号WEBのロウレベルによりライトモードが指示されて、上記Flashから読み出されたデータFDATAがDRAMの書き込みデータDATAとして選択されたメモリセルに書き込まれる。以下、①と同様にDRAMから次のアドレスX3、Y3の読み出しを行い、図示しないが②と同様にDRAMをライトモードとして書き込み動作を行うという動作を繰り返す。

【0035】図6には、上記Flashメモリの一実施例の内部ブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成され

る。この実施例のFlashメモリは、基本的には汎用のものと同様であるが、前記のようなデータ転送のためのチップコントロール端子CCが設けられることや、アドレスの入力方法がDRAMに合わせられていることが汎用のものと大きく異なる点である。

【0036】チップコントロール端子CC及び他の制御端子RASB、CASB、WEB及びOEBからの各信号は、コントロールバッファ(Control Buffer)に入力される。チップコントロール端子CCからの信号は、前記のように全ピンを活性化或いはハイインピーダンス状態に切り替えるために、上記コントロールバッファの他にアウトプットバッファ(Output Buffer)やアドレスバッファ(Add. Buffer)にも供給される。

【0037】コントロールバッファを通した各制御信号RASB、CASB、WEB及びOEBは、コントロールデコーダ(Control Decoder)に供給され、ここで動作モードに応じた制御信号やタイミング信号が発生される。このコントロールデコーダにより制御される各回路は、メモリマットMATのワード線を駆動するドライバー(DRIVER)、ステータスレジスタ(Status Register)、ステータスラッチ(Status Latch)、コマンドデコーダ(Command Decoder)、インプットバッファ(Input Buffer)、上記アウトプットバッファ及びアドレスバッファである。ステータスレジスタの内容は、マイクロプロセッサCPUよりチップの状態を調べるときに参照される。ステータスラッチは、マイクロプロセッサCPUからのコマンドをラッチしている。

【0038】コマンドデコーダは、インプットバッファを通して入力されたコマンドを解読して、それに対応した制御信号をスタートスラッチを介してオウトコントロール(Auto Control)に伝える。オートコントロールは、上記ステータスラッチを参照しながら処理を行う。例えば、オートコントロールは、イレイズが指示されると、前記のようなイレイズアルゴリズムに従い、一連のアドレス信号やブレライト用の書き込みパルス及び消去用の消去パルス等を発生し、ライトが指示されると、前記のようなライトアルゴリズムに従い一連のアドレス信号の発生と書き込みパルス等を発生させる。

【0039】端子VCCから供給される5Vのような電源電圧と端子VPPから供給される高電圧/低電圧は、ベリファイボルテージゼネレータ(Verify Voltage Gen.)に入力されて、ここでワード線の選択レベルを設定する消去ベリファイ用の約3.5Vのような低い電圧の出力や、ライトベリファイ用の電圧切り替えが行われる。ボルテージセンサ(Voltage sensor)は、電源電圧VCCと端子VPPからの高電圧/低電圧を検出し、コマンドデコーダに検出結果を供給する。

【0040】上記ドライバは、上記のような電圧VC、VPP及び低電圧等を受けて、Xデコーダ(X-DEC)により選択されたワード線の選択レベルと、イレ

イズ動作時のソーススイッチ(Source MOS)に供給される消去用のレベルを設定する。この実施例では、後述するようにメモリマットMATは、ブロック単位での消去も可能にされる。それ故、マットセレクタ(MAT selector)により消去させられるブロックが選択される。言い換えるならば、上記マットセレクタにより、上記分割されたマット毎に設けられたイレイズ用のソーススイッチの選択信号が形成される。特に制限されないが、負電圧消去方式を採用することにより、さらにワード線単位の消去も可能としている。

【0041】メモリマットMATのデータ線は、Yゲート(Y-Gate)により選択されて、センスアンプSAの入力とライトラッチ(Write Latch)の出力に接続される。言い換えるならば、Yゲートは、メモリマットのデータ線を入出力用の共通データ線に接続させられる。この共通データ線に上記センスアンプやライトラッチが設けられる。消去動作によってメモリセルは全て1にされているから、ライトラッチに取り込まれた書き込みデータのうち0に対応したメモリセルに実質的な書き込みが行われる。ベリファイにより書き込みが十分とされたビットに対応したライトラッチのデータ0が1に書き換えられ、ライトラッチのデータが全て1にされると書き込み終了と判定される。

【0042】データラッチ(Data Latch)は、8バイト(8B)分の書き込みデータの記憶を行い、メモリマットMATに対して $8 \times 8$ (=64ビット)のページ書き込みを行う場合に使用される。このデータラッチを用いたライトモードでは、第1の段階では8バイト分のデータがデータラッチに書き込まれ、その後に一括して上記8×8個のメモリセルに対するページ書き込みが行われる。

【0043】インプットバッファの入力端子とアウトプットバッファの出力端子とは、データ端子I/O1に接続される。この端子I/O1は、特に制限されないが、8個から構成される。これにより、外部からは8ビットの単位でのデータの入出力が行われることになる。

【0044】上記のようにアドレスストローブ信号RASBとCASBに同期して時系列的に入力されるX系のアドレス信号とY系のアドレス信号は、共通のアドレス端子A1を通してアドレスバッファに入力される。X系のアドレス信号は、Xデコーダに入力されて、ここで保持されるとともにワード線の選択信号が形成される。Y系のアドレス信号は、Yデコーダに入力され、ここでデータ線を共通データ線に接続させるYゲートの選択信号が形成される。

【0045】アドレスラッチ(Add.Latch)は、メモリマットMATを複数のセクタ及びブロック単位で消去が可能な機能を付加したとき、先頭セクタ及びブロック又は最終セクタ及びブロックのアドレスを記憶するために用いられる。オートコントロールでは、このアドレ

スラッチの内容を参照して、複数ブロックの消去動作を実行する。なお、図6において、点線によりアドレス信号の伝達経路を示し、他の実線によりデータや制御信号の伝達経路を示している。

【0046】図21には、上記メモリマットMATとその主要な周辺回路の一実施例の回路図が示されている。同図の各回路素子は、特に制限されないが、公知のCMOS（相補型MOS）集積回路の製造技術によって形成される。同図において、PチャンネルMOSFETは、そのチャンネル（バックゲート）部に矢印が付加されることによってNチャンネルMOSFETと区別される。このことは他の図面においても同様である。

【0047】特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成し、回路の接地電位が供給される。N型ウェル領域は、その上に形成されたPチャンネルMOSFETの基板ゲートを構成する。PチャンネルMOSFETの基板ゲートすなわちN型ウェル領域は、電源電圧VCCに結合される。ただし、高電圧回路であれば、それに対応するPチャンネルMOSFETが形成されるN型ウェル領域は、外部から与えられる高電圧VPP又は内部発生高電圧等に接続される。あるいは、集積回路は、単結晶N型シリコンからなる半導体基板上に形成してもよい。この場合、NチャンネルMOSFETと不揮発性記憶素子はP型ウェル領域に形成され、PチャンネルMOSFETはN型基板上に形成される。なお、この発明において、MOSFETは絶縁ゲート型電界効果トランジスタ（IGFET）の意味で用いている。

【0048】上記メモリマットMATとして、代表として例示的に2つのメモリブロックMB0とMBnが例示的に示されている。これらのメモリブロックは、例示的に示されているコントロールゲートとフローティングゲートを有するスタッカドゲート構造のメモリセル（不揮発性メモリ素子…MOSFET M1～M8）と、ワード線W0～Wm及びデータ線D0、D1～Dj、Dj+1により構成されている。上記メモリセルM1～M8は、特に制限されないが、従来のEPROMのメモリセルと類似の構造であるが、その消去動作が後述するようにフローティングゲートとソース線に結合されるソース間のトンネル現象を利用して電気的に行われる点が、従来の紫外線を用いたEPROMの消去方法と異なるものである。

【0049】上記例示的に示されているメモリブロックMB0とMBnは、同じ行に配置されたメモリセルM1とM2及びM5とM6（M3とM4及びM7とM8）のコントロールゲートは、それぞれ対応するワード線W0（Wm）に接続される。ワード線W0、Wmは、ワードドライバを構成するレベル変換回路LVC0、LVCmにより駆動される。上記デコーダ回路DECの出力がロウレベルにされると、カット用MOSFET Q10を通してロウレベルが伝えられてNチャンネル型MOSFET Q8をオフ状態に、Pチャンネル型MOSFET Q7をオン状態にする。これにより、高電圧VPPがワード線W0に伝えられる。上記デコーダ回路DECの出力信号がハイレベルのときには、カット用MOSFET Q10を通してNチャンネル型MOSFET Q8をオン状態にし、ワード線W0を回路の接地電位のようなロウレベルに低下させる。このロウレベルにより帰還用のPチャンネル型MOSFET Q9がオン状態となって、入力信号を高電圧VPPまで高くする。これにより、Pチャンネル型MOSFET Q7をオフ状態にできる。このような入力信号の上昇に伴いカット用MOSFET Q10がオフ状態になるため、電源電圧VCCで動作してハイレベルの出力信号を形成しているデコーダ回路DECに向かって高電圧VPPから直流電流が流れてしまうのが防止できる。なお、読み出し動作のときには、VPPはVCCに切り替えられる。

【0050】同じ列に配置されたメモリセルM1、M3とM2とM4ドレインは、それぞれ対応するデータ線D0とD1に接続され、メモリセルM5、M7とM6とM8ドレインは、それぞれ対応するデータ線DjとDj+1に接続されている。メモリブロックMB0のメモリセルM1～M4のソースは、それに対応した共通ソース線CS0に接続され、メモリブロックMBnのメモリセルM5～M8のソースは、それに対応した共通ソース線CSnに接続される。

【0051】特に制限されないが、8ビット（あるいは16ビット等）のような複数ビットの単位での書き込み／読み出しを行うため、上記メモリアレイは、合計で8組（あるいは16組等）のように複数組設けられるよう構成される。同図には、そのうちの1ビット分の回路が示されている。

【0052】上記1つのメモリアレイを構成する各データ線D0～Dj+1は、前記Yデコーダによって形成された選択信号Y0、Y1～Yj、Yj+1を受けるYゲートとしてのカラム（列）選択スイッチMOSFET Q20、Q21～Q24、Q25を介して、共通データ線CDに接続される。共通データ線CDは、書き込みアンプWA0の出力端子に接続される。この書き込みアンプWA0は、外部端子D0～D7のうち、対応するD0端子から入力される書き込み信号を受ける書き込み用のデータ

50 入力バッファの出力信号D1を受けるMOSFET Q1

5、バイアス電圧VPを受けるMOSFETQ16及び制御信号PROGを受けるMOSFETQ17からなる直列回路から構成され、高電圧端子VPPの電圧を共通データ線CDに伝える。MOSFETQ16は、MOSFETQ17やQ15のドレインとゲート間に高電圧VPPのような高電圧が直接印加されるのを防ぐためのものであり、中間的な高電圧VPがゲートに供給されるMOSFETQ16の挿入によって、これらの電圧を分割して個々のMOSFETQ17, Q15に印加される電圧を低減させる。

【0053】上記共通データ線CDには、他方においてスイッチMOSFETQ11を介してセンスアンプSA0の入力段回路の入力端子に結合される。入力段の増幅動作を行うMOSFETQ12～Q14と、その制御用インバータ回路N2, N3とCMOSインバータ回路N4などで構成される回路をセンスアンプSA0と呼ぶ事とする。センスアンプSA0の動作電圧VCC'は、特に制限されないが、通常読み出し時には5Vのような電源電圧VCCが供給され、消去ペリファイ時には上記5Vより低い電圧3.5Vのような低電圧に切り替えられる。上記MOSFETQ11は、制御信号PROGを受けるインバータ回路N1の出力信号によって制御され、書き込み動作のときにはオフ状態にされる。これにより、書き込み時における共通データ線CDの比較的高い電位がセンスアンプSA0の入力に供給されることはない。

【0054】共通データ線CDに読み出されたメモリセルの記憶レベルは、読み出し時にオン状態にされるMOSFETQ11を通して、そのソースが接続されたNチャネル型の増幅MOSFETQ12のソースに接続される。この増幅MOSFETQ12のドレインと電源電圧端子VCC'との間には、そのゲートとソースが接続されたPチャネル型の負荷MOSFETQ13が設けられる。上記負荷MOSFETQ13は、読み出し動作のために共通データ線CDにプリチャージ電流を流すような動作を行う。

【0055】上記増幅MOSFETQ12の感度を高くするため、スイッチMOSFETQ11を介した共通データ線CDの電圧は、反転増幅回路として作用するインバータ回路N2, N3の入力に供給される。反転増幅回路としてのインバータ回路N3の出力信号は、上記増幅MOSFETQ12のゲートに供給される。また、上記ソース入力には、リミッタとして作用するMOSFETQ14を介して電源端子VCC'からチャージアップが行われる。このMOSFETQ14のゲートには、反転増幅回路としてのインバータ回路N2の出力信号が供給される。

【0056】メモリセルの読み出し時において、メモリセルは、フローティングゲートに蓄積された情報電荷に従って、ワード線の選択レベルに対して高いしきい値電

圧か又は低いしきい値電圧を持つものである。前記X系とY系のデコーダによって選択されたメモリセルがワード線が選択レベルにされているにもかかわらずオフ状態にされている場合、共通データ線CDは、MOSFETQ12とQ14からの電流供給によって比較的ハイレベルにされる。一方、選択されたメモリセルがワード線選択レベルによってオン状態にされている場合、共通データ線CDは比較的ロウレベルにされる。

【0057】この場合、共通データ線CDのハイレベルは、このハイレベルの電位を受ける反転増幅回路により形成された比較的低いレベルの出力電圧がMOSFETQ14のゲートに供給されることによって比較的低い電位に制限される。一方、共通データ線CDのロウレベルは、このロウレベルの電位を受ける反転増幅回路により形成された比較的高いレベルの電圧がMOSFETQ14のゲートに供給されることによって比較的高い電位に制限される。このような共通データ線CDのレベル制限作用によって、メモリセルから連続して読み出される記憶情報が1レベルから0レベルに変化するとき、あるいは0レベルから1レベルに変化するときの信号変化速度を実質的に速くできる。

【0058】上記増幅用のMOSFETQ12は、ゲート接地型ソース入力の増幅動作を行い、その出力信号をCMOSインバータ回路N4の入力に伝える。CMOSインバータ回路N4は、増幅MOSFETQ12のドレン出力信号を波形整形して対応したデータ出力バッファDOBの入力に伝える。データ出力バッファDOBは、上記センスアンプSA0からの信号を増幅して対応する外部端子I/O0から送出させる。また、同図では省略されているが、上記外部端子I/O0から供給される書き込み信号は、データ入力バッファに入力され、その出力信号D1が書き込みアンプWA0のMOSFETQ15のゲートに供給される。

【0059】この実施例では、各メモリブロックMB0～MBn毎の選択的な消去動作を可能にするため、各メモリブロックMB0～MBnの共通ソース線CS0～CSnにそれぞれ対応して消去制御回路としてのソーススイッチ回路SS0～SSnが設けられる。同図においては、ソーススイッチ回路SS0の具体的回路が代表として示例的に示されている。

【0060】ソーススイッチ回路SS0は、特に制限されないが、消去時にソース線CS0に高電圧VPPを供給するPチャネル型MOSFETQ6と、書き込み時に共通ソース線CS0に接地電位0Vを供給するNチャネル型MOSFETQ5及び後述するようなバイアス電圧V<sub>S</sub>を供給するPチャネル型MOSFETQ4が設けられる。このMOSFETQ4とQ5は、書き込み時にオーバードライブするように設計される。

【0061】Pチャネル型MOSFETQ6のゲート

には、ブロック選択信号S0と消去制御信号ERASEを受ける NANDゲート回路G1の出力信号が供給される。Pチャンネル型MOSFETQ4のゲートには、上記ブロック選択信号S0を受けるインバータ回路Nの出力信号と書き込み制御信号PROGとを受ける NANDゲート回路G2の出力信号が供給される。そして、Nチャンネル型MOSFETQ5のゲートには、オアゲート回路G5の出力信号が供給される。このオアゲート回路G5の入力には、消去制御信号ERASEと書き込み制御信号PROGを受けるノアゲート回路G3の出力信号と書き込み制御信号PROGとブロック選択信号S0を受けるアンドゲート回路G4の出力信号が供給される。

【0062】書き込み／消去以外の読み出し動作等においては、上記各制御信号ERASEとPROGは、共にロウレベルの“0”にされる。それ故、ノアゲート回路G3の出力信号がハイレベルの“1”となり、オアゲート回路G5の出力信号をハイレベルにするので、このMOSFETQ5がオン状態にされる。このとき、 NANDゲート回路G1とG2の出力信号は、上記信号ERASEとPROGのロウレベルの“0”に応じてハイレベルにされ、Pチャンネル型MOSFETQ4とQ6とが共にオフ状態にされる。その結果、共通ソース線CS0には、オン状態にされたMOSFETQ5により回路の接地電位が供給される。

【0063】書き込み動作においては、上記消去制御信号ERASEがロウレベルで、書き込み制御信号PROGがハイレベルにされる。書き込みが行われるメモリブロックMB0においては、書き込み制御信号PROGのハイレベルとブロック選択信号S0のハイレベルにより、アンドゲート回路G4の出力信号がハイレベルとなり、上記同様にオアゲート回路G5の出力信号をハイレベルにする。この結果、MOSFETQ5がオン状態となって共通ソース線CS0には回路の接地電位を供給する。このとき、消去用制御信号ERASEのロウレベルにより、 NANDゲート回路G1の出力信号がハイレベルされてMOSFETQ6がオフ状態とされる。また、ブロック選択信号S0のハイレベルによりインバータ回路Nの出力信号がロウレベルにされるので、 NANDゲート回路G2の出力信号がハイレベルにされる。この結果、MOSFETQ4もオフ状態にされている。

【0064】上記消去制御信号ERASEがロウレベルで、書き込み制御信号PROGがハイレベルにされる書き込み動作において、他のメモリブロックにおいて書き込みが行われることにより上記メモリブロックMB0に書き込みが行われないときには、ブロック選択信号S0のロウレベルを受けるインバータ回路Nの出力信号のハイレベルと、書き込み制御信号PROGのハイレベルにより NANDゲート回路G2の出力信号がロウレベルとなる。これにより、Pチャンネル型MOSFETQ4がオン状態となって、バイアス電圧発生回路BVGで形成さ

れたバイアス電圧VSが共通ソース線CS0に与えられる。このとき、消去用制御信号ERASEのロウレベルにより、 NANDゲート回路G1の出力信号がハイレベルされてMOSFETQ6がオフ状態とされる。また、ブロック選択信号S0のロウレベルによりアンドゲート回路G4の出力信号はロウレベルであり、書き込み制御信号PROGのハイレベルによりノアゲート回路G3の出力信号がロウレベルであることから、オアゲート回路G5の出力信号もロウレベルなってMOSFETQ5がオフ状態とされている。

【0065】消去動作においては、上記消去制御信号ERASEがハイレベルで、書き込み制御信号PROGがロウレベルにされる。消去が行われるメモリブロックMB0においては、消去制御信号ERASEのハイレベルとブロック選択信号S0のハイレベルにより、 NANDゲート回路G1の出力信号がロウレベルとなり、 Pチャンネル型MOSFETQ6をオン状態にする。これにより、共通ソース線CS0には高電圧VPPが供給される。このとき、書き込み制御信号PROGのロウレベルにより、 NANDゲート回路G2の出力信号がハイレベルされてMOSFETQ4がオフ状態とされる。また、書き込み制御信号PROGのロウレベルによりノアゲート回路G3とアンドゲート回路G4の出力信号が共にロウレベルにされるので、オアゲート回路G5の出力信号もロウレベルとなり、MOSFETQ5もオフ状態にされている。

【0066】消去動作においては、上記消去制御信号ERASEがハイレベルで、書き込み制御信号PROGがロウレベルにされる。他のメモリブロックが消去されることに応じてメモリブロックMB0の消去が行われないときには、共通ソース線CS0はハイインピーダンス状態に置かれる。すなわち、書き込み制御信号PROGのロウレベルによりアンドゲート回路G2の出力信号がハイレベルになるのでMOSFETQ4はオフ状態であり、消去制御信号ERASEのハイレベルに応じてノアゲート回路G3の出力信号がロウレベルであり、書き込み制御信号PROGのロウレベルに応じてアンドゲート回路G4の出力信号がロウレベルであることからMOSFETQ5はオフ状態であり、ブロック選択信号S0のロウレベル応じて NANDゲート回路G1の出力信号がハイレベルであることからMOSFETQ6はオフ状態である。この構成に代えて、消去動作において、消去されないメモリブロックの共通ソース線CS0を回路の接地電位にするものであってもよい。すなわち、消去制御信号ERASEとインバータ回路により反転されたブロック選択信号をアンドゲート回路に供給し、その出力信号を上記オアゲート回路G5の入力に供給すればよい。具体的回路を図示しない他のソーススイッチ回路SS1～SSnの構成及び動作も、上記回路と同様であるのでその説明を省略する。

【0067】バイアス電圧発生回路BVGでは、ツエナーダイオードZDと電流制限用MOSFETQ2が直列形態に接続される。この直列回路には、書き込み制御信号PROGを受けるインバータ回路の出力信号によってスイッチ制御されるPチャンネル型MOSFETQ1を介して高電圧VPPが供給される。特に制限されないが、ツエナー電圧にMOSFETQ2のゲート、ソース間のしきい値電圧を加えて電圧は、直列抵抗R1、R2により分圧される。この分圧電圧は、ソースフォロワ出力MOSFETQ3のゲートに伝えられる。このMOSFETQ3のドレインは電源電圧VCCに接続されてソースからバイアス電圧VSが出力される。

【0068】この実施例では、MOSFETQ2とQ3のしきい値電圧がほぼ等しいとすると、ツエナーダイオードZDによるツエナー一定電圧を抵抗R1とR2で分圧するので、電源電圧VCCや高電圧VPPに対して依存性を持たない定電圧を形成することができる。このような定電圧VSを書き込み動作において、書き込みが行われないメモリブロックの共通ソース線に供給することにより、書き込み非選択のメモリブロックにおいて、消去状態のメモリセルのフローティングゲートとソース間の電圧差を小さくして、そこに流れるトンネル注入電流を実質的に防止するようにするものである。

【0069】図7には、この発明に係る他の一実施例の半導体記憶装置とそれを用いたマイクロコンピュータシステムのブロック図が示されている。この実施例の半導体記憶装置は、同図に点線で示すように2つのメモリチップが1つのパッケージに実装されて構成される。この実施例では、2つのメモリチップDRAMとFLASHとのデータ転送が、パッケージの内部において行われるようになる。言い換えるならば、前記図1の実施例のようにCPUを介在させないで、半導体記憶装置の内部で自動的にDRAMからFLASHへ、あるいはFLASHからDRAMへのデータ転送が行われるようにされる。

【0070】上記のようなデータ転送を可能にするため、転送方向を指示する制御信号TRが追加される。また、DRAMとFLASHとの間でのデータの授受のために制御端子ready1とready2とが設けられる。そして、外部からはDRAMのみがアクセス可能となり、FLASHはDRAMの記憶情報のバックアップとしての役割しか持たないようにされる。このため、FLASHは、アドレス端子を持たないようにされるとともに、データ端子I/Oはパッケージ内部においてDRAMの転送専用のデータ端子I/Oと接続される。また、動作モードを指定する制御信号としては、チップイネーブル信号CEBとライトイネーブル信号WEBに、上記のように新たに付加された端子TRからの転送動作を指示する信号と、DRAMとの間でやり取りが行われる制御端子ready1とready2の信号とが組み合わされて用いられる。上記

50 18 チップイネーブル信号CEBは、DRAMのRASBと共に接続され、ライトイネーブル信号WEBもDRAMのWEBと共に接続される。なお、CEBはRASBとし、WEBはDRAM/FLASHを意味するD/Fのような信号としてもよい。すなわち、データ転送動作においては、WEBにより転送方向を指示するために用いられるから、FLASH側ではDRAM/FLASHを意味するD/Fのようにしてもよい。

【0071】信号TRは、それがロウレベルにされると10 DRAMモードとなり、外部からはDRAMに対するメモリアクセスが可能にされる。この間、FLASH側はスタンバイ状態にされる。信号TRがハイレベルにされると、DRAMからFLASHへのデータ転送又はFLASHからDRAMへのデータ転送が指示される。このように信号TRがハイレベルに立ち上がる時に、信号WEBがハイレベルならDRAMからFLASHへのデータ転送が行われ、信号WEBがロウレベルならFLASHからDRAMへのデータ転送が行われる。

【0072】信号ready1は、FLASHの動作状態を示す信号であり、転送時にready1=1(ハイレベル)のときのみDRAMが活性化される。信号ready2は、DRAMの動作状態を示す信号であり、転送時にready2=1(ハイレベル)のときのみFLASHが活性化される。

【0073】図8には、上記DRAMの一実施例の内部ブロック図が示されている。XアドレスバッファXABとYアドレスバッファYABは、アドレス端子A0~A10から入力されたX系とY系のアドレス信号を、ロウアドレスストローブ信号RASBとカラムアドレスストローブ信号CASBに同期して発生されるラッチ制御信号XLとYLによりそれぞれ取り込む。

【0074】メモリレイは、非反転のデータ線Tと反転のデータ線Bとからなる一対の相補データ線(Data Line)が平行に配置される折り返しデータ線方式により構成される。この相補データ線は、差動のセンスアンプ(Sense Amp)の一対の入出力端子に接続される。ワード線(Word Line)は、上記データ線と直交するよう配置され、上記データ線との交点にダイナミック型メモリセルが設けられる。

【0075】Xアドレスデコーダ(X Address Decoder)40 r)は、XアドレスバッファXABを通して入力されたアドレス信号を解読して上記ワード線を選択レベルにする。Yアドレスデコーダ(Y Address Decoder)は、YアドレスバッファYABを通して入力されたアドレス信号を解読して、上記相補データ線を入出力線(I/O Line)に接続させるカラムスイッチの選択信号を形成する。同図には、センスアンプの部分にカラムスイッチも含まれるものと理解されたい。

【0076】メインアンプMAは、上記入出力線に読み出された読み出し信号を增幅してデータ出力バッファDoutを介して外部端子I/O0~I/O7から送出させ

19

る。この外部端子 I/O 0 ~ I/O 7 から入力された書き込みデータは、データ入力バッファ Din に取り込まれ、書き込み用のメインアンプ MA を介して上記入出力線と選択されたデータ線を通してメモリセルに書き込まれる。

【0077】タイミング発生回路 TG は、アドレスストローブ信号 RASB と CASB 、ライトイネーブル信号 WEB 及びアウトプットイネーブル信号 OEB を受けて、内部回路の動作に必要なタイミング信号 DOE 、 XL 、 YL 、 DL 、 CE 及び WMA 等を発生させる。以上の各回路ブロックは、基本的には従来の DRAM と同様である。

【0078】この実施例では、 DRAM と FLASH で内部で自動的にデータ転送を行わせるようにするために、転送コントローラと転送アドレスカウンタが設けられる。上記の転送コントローラの制御のために、制御信号 ready1 とクロック CLK 及び転送動作を指示する信号 TR が入力される。また、上記ライトイネーブル信号 WEB が転送方向を指示する信号として入力される。

【0079】転送コントローラは、後述するような転送動作において DRAM の読み出し動作や書き込み動作に必要な制御信号 RASB 、 CASB 、 WEB 及び OEB を発生させ、内部の信号経路により上記タイミング発生回路 TG に伝えられる。これにより、 DRAM は、外部端子から供給される制御信号ではなく、内部の転送コントローラにより発生される制御信号により動作が指示される。

【0080】図 20 には、上記 DRAM のメモリアレイとその周辺回路のうち X 系のアドレス選択回路の一実施例の回路図が示されている。例示的に示されたメモリアレイ MARY は、特に制限されないが、 2 交点（折り返しビット線）方式とされる。同図には、その一対の行が代表として例示的に示されている。一对の平行に配置された相補データ線（ビット線又はディジット線） D0 、 D0B に、アドレス選択用 MOSFET Qm と情報記憶用キャッシュ C s とで構成された複数のメモリセルのそれぞれの入出力ノードが同図に示すように所定の規則性をもって配分されて結合されている。

【0081】代表として示された相補データ線 D0 、 D0B 間には、図示しないがスイッチ MOSFET が設けられ、チップ非選択状態のとき又はメモリセルが選択状態にされる前にオン状態にされる。これにより、前の動作サイクルにおいて、センスアンプの増幅動作による相補データ線 D0 、 D0B のハイレベルとロウレベルを短絡して、相補データ線 D0 、 D0B を約 VCC / 2 (HVC) のプリチャージ電圧とする。特に制限されないが、 DRAM チップが比較的長い時間非選択状態に置かれる場合、上記相補データ線 D0 、 D0B 等のプリチャージレベルはリーケ電流等によって低下する。そこで、スイッチ MOSFET を介してハーフプリチャージ電圧

20

HVC を供給するようにしてもよい。このハーフプリチャージ電圧 HVC を形成する電圧発生回路は、上記リーケ電流等を補うよう比較的小な電流供給能力しか持たないようにされる。これによって、消費電力が増大するのを抑えている。

【0082】X アドレスデコーダは、特に制限されないが、ゲート回路 G1 ~ G4 からなる第 1 のアドレスデコーダ回路と、単位回路 UXDCR のような第 2 のアドレスデコーダ回路からなるように 2 分割されて構成される。同図には、第 2 のアドレスデコーダ回路を構成する 1 回路分（単位回路） UXDCR と、第 1 のアドレスデコーダ回路を構成するノア (NOR) ゲート回路 G1 ~ G4 が示されている。なお、ゲート回路 G2 と G3 は回路記号が省略されている。上記単位回路 UXDCR は、ワード線 4 本分のデコード信号を形成する。

【0083】第 1 の X デコーダ回路を構成する 4 個のゲート回路 G1 ~ G4 は、下位 2 ピットのアドレス信号 X0B 、 X1B ~ X0 、 X1 の組み合わせにより 4 通りのワード線選択タイミング信号  $\phi_{x0} \sim \phi_{x3}$  を形成する。これらの

ワード線選択タイミング信号  $\phi_{x0} \sim \phi_{x3}$  は、上記第 2 のアドレスデコーダ回路 UXDCR によってスイッチ制御される伝送ゲート上記 MOSFET Q20 ~ Q23 を介して単位のワード線ドライバ UWD0 ~ UWD3 に入力される。

【0084】ワード線ドライバ WD は、単位回路 UWD0 が代表として例示的に示されているように、 P チャンネル MOSFET Q26 と N チャンネル MOSFET Q27 からなる CMOS 駆動回路と、その入力と動作電圧端子 VCH との間に設けられた P チャンネル MOSFET

30 TQ24 、 Q25 から構成される。ワード線選択タイミング信号  $\phi_{x0}$  のロウレベルにより P チャンネル型 MOSFET Q26 のオン状態にされ、電源電圧 VCC より MOSFET のしきい値電圧分だけ高くされた昇圧電圧 VCH を選択ワード線 W0 に出力する。 P チャンネル MOSFET Q24 のゲートにはプリチャージ信号 wph が供給される。 P チャンネル MOSFET Q25 のゲートにはワード線 W0 の駆動出力が供給される。

【0085】MOSFET Q25 は、電源電圧 VCC に従って形成されたワード線選択タイミング信号  $\phi_{x0}$  がハイレベルにされて、ワード線 W0 を接地電位のような非選択レベルにするとき、そのロウレベルを受けて CMOS 回路の入力レベルを高電圧 VCH までブルアップして P チャンネル MOSFET Q26 を確実にオフ状態にする。これにより、非選択のワード線に対応した CMOS 駆動回路を構成する P チャンネル MOSFET Q26 と Q27 との間で直流電流が消費されるのを防ぐものである。

【0086】X アドレスデコーダを上記のように 2 分割することによって、第 2 の X アドレスデコーダ回路を構成する単位回路 UXDCR のピッチ（間隔）とワード線

21

のピッチとを合わせることができる。その結果、無駄な空間が半導体基板上に生じなくなることができる。

【0087】ワード線の遠端側と回路の接地電位との間にはスイッチMOSFET Q1～Q4等が設けられる。これらのスイッチMOSFET Q1～Q4のゲートには、それに対応したワード線W0～W3に供給される選択信号とは逆相の信号WC0～WC3が供給される。これにより、選択されたワード線に対応したスイッチMOSFETのみがオフ状態に、他のスイッチMOSFETはオン状態にされる。これにより、選択ワード線の立ち上がりによる容量結合によって非選択ワード線が不所望に中間電位に持ち上げられてしまうことを防止できる。

【0088】図9には、上記FlashからDRAMへのデータ転送動作を説明するための一実施例のフローチャート図が示されている。図示しないが、前記のように信号TRがロウレベルからハイレベルに変化するときに信号WEBのロウレベルによりFlashからDRAMへの転送モード(DRAM転送;Yes)が指示される。

【0089】この転送モードにおいて、ready1=0、read y2=1、X=1、Y=1でI/07=0の初期設定が行われる。read y1=0によりDRAMはFlashによりready1=1にセットされまでの間セルフリフレッシュ動作を行っている。

【0090】Flashは、ready2=1により活性化されて上記の転送方向に応じてリードモードとなり、先頭アドレスX=1、Y=1から読み出しが行われ、内部出力端子I/Oから出力信号を送出するとready1=1にセットして、DRAM側からready2=1にセットされまでの間、スタンバイ状態に置かれる。

【0091】上記Flashによるready1=1のセットに応じてDRAMが活性化され、内部出力端子I/Oのデータをラッチした後に、ready2=0にリセットさせる。これにより、Flashはスタンバイ状態にされる。続いて、DRAMはライトモードにされ、上記同じアドレスX=1、Y=1にデータの書き込み動作を行う。この後に、ready2=1にセットし、YアドレスをY+1に更新する。最終アドレスNでなければ、セルフリフレッシュに移行する。

【0092】上記DRAMによるready2=1のセットに応じてFlashが活性化され、XアドレスをX+1に更新させて、最終アドレスNでないときにはready1=0にリセットさせ、前記リードモードに入る。これにより、X2、Y2の次アドレスの読み出しが行われる。以下、同様の動作がXアドレスとYアドレスが共に最終アドレスNに到達するまで繰り返して行われ、最終アドレスまでのデータ転送が終了すると、端子I/O7がハイレベル(=1)にセットされ、CPUによるポーリングによって転送終了が判定される。

【0093】図10には、上記DRAMからFlashへのデータ転送動作を説明するための一実施例のフローチャート図が示されている。図示しないが、前記のように信号TRがロウレベルからハイレベルに変化するときに信

22

号WEBのハイレベルによりDRAMからFlashへの転送モード(DRAM転送;No)が指示される。

【0094】この転送モードにおいて、ready1=0、read y2=1、X=1、Y=1、i=0でI/07=0の初期設定が行われる。ready1=0によりDRAMはFlashによりready1=1にセットされまでの間セルフリフレッシュ動作を行っている。

【0095】Flashは、ready2=1により活性化され上記の転送方向に応じてまず消去モードとなり一括消去動作10を行なう。この消去動作には、前記のようなプレライト動作が含まれる。消去動作の終了によりready1=1にセットして、DRAM側からready2=1にセットされまでの間スタンバイ状態に置かれる。

【0096】上記Flashによるready1=1がセットされると、ready2=0にリセットしてFlashをスタンバイ状態にした後に、上記のような転送方向に対応してリードモードにされ、先頭アドレスX=1、Y=1から読み出しが行われ、内部出力端子I/Oから出力信号を送出するとread y2=1にセットする。

【0097】ready2=1に応じてFlashは活性化されて上記DRAMから出力されたデータをデータラッチに取り込んで、i=i+1にインクリメントさせる。iが7になるまで、言い換えるならば、8バイト分のデータがDRAMから読み出されて上記のようにFlashのデータラッチに取り込まれるまで、上記の動作が繰り返される。すなわち、DRAMはi=7になるまではready1=1の状態に置かれるから、アドレスをY+1にインクリメントし、ready2=0にリセットしていったんFlashをスタンバイ状態にしてから次の読み出しを行う。

【0098】上記のような動作の繰り返しにより、8バイト分のデータがDRAMから読み出されてFlashのデータラッチに取り込まれると、Flashはready1=0にリセットさせる。これによりDRAMでは、YアドレスをY+1に更新させて最終アドレスでないと判定すると最初のセルフリフレッシュモードに入る。

【0099】Flashは、i=0にクリアした後に、上記データラッチに取り込まれた8×8ビットのデータを一齊に書き込んで、XアドレスをX+1に更新させる。そして、XアドレスがN/8の最終アドレスでないときは、ready1=1にセットしてスタンバイ状態に入る。すなわち、Flashはready1=1に応じてDRAMが活性化されてready2=0にリセットするので、再びready2=1にセットされるまでの間スタンバイ状態に置かれる。

【0100】以下、同様にDRAMとFlashとで8ビットずつのデータ転送を8回行なうと、Flashでは書き込みが行われるという動作を最終アドレスまで繰り返す。最終アドレスまでデータ転送が行われると、I/O7をハイレベルにし、上記のような転送動作を終了する。この後は、DRAMのデータは全てFlash側に転送されているので、マイクロコンピュータシステムに電源が入って

23

いる状態でも、DRAMではスタンバイ状態となり一定時間経過後に全てのデータが消滅することになる。すなわち、この実施例では、上記のようなDRAMからFlashへのデータ転送後は、システムの電源遮断を前提としDRAMのデータの消滅を予定しているので、外部よりセルフリフレッシュを行う要求がない限り上記のようなセルフリフレッシュ動作が行われない。

【0101】図11には、上記FlashからDRAMへの転送動作の一例のタイミング図が示されている。信号TRのハイレベルの立ち上がりエッジにおいて、信号WEBのロウレベルによりFlashからDRAMへのデータ転送モードにされる。このとき、DRAMの転送コントローラやFlashのオートコントローラの動作に必要なクロックパルスCLKが、前記図8や後述する図13のように外部端子CLKから入力されるのではなく、このとき使用しない外部端子RASBを利用してクロックパルスが入力される。すなわち、DRAMではリード動作やライト動作に必要な各種制御タイミング信号は、転送コントローラにより内部で形成されるから、外部端子RASB等は使用しないので、これを利用してマイクロコンピュータシステム等に用いられるシステムクロックが入力される。

【0102】上記のようなクロックパルスにより、前記図9や図10に示されたように2つのメモリチップDRAMとFlashとの間でのシーケンシャルなデータ転送に必要な回路動作が行われる。同図では、上記のようなモード設定とクロックパルスとの関係を明らかにするものであり、端子I/O7がロウレベルになってデータ転送中からハイレベルに変化して転送終了に至るまでの時間が省略されて描かれている。

【0103】図12には、上記DRAMからFlashへの転送動作の一例のタイミング図が示されている。信号TRのハイレベルの立ち上がりにエッジにおいて、信号WEBのハイレベルによりDRAMからFlashへのデータ転送モードにされる。このときも、上記同様にDRAMの転送コントローラやFlashのオートコントローラの動作に必要なクロックパルスCLKが、前記図8や後述する図13のように外部端子CLKから入力されるのではなく、このとき使用しない外部端子RASB(図7の実施例ではCEB)を利用してクロックパルスが入力される。同図では、上記のようなモード設定とクロックパルスとの関係を明らかにするものであり、上記同様に端子I/O7がロウレベルになってデータ転送中からハイレベルに変化して転送終了に至るまでの時間が省略されて描かれている。

【0104】図13には、図7のように内部でのデータ転送動作を行う場合のFlashメモリの一実施例の内部ブロック図が示されている。この実施例のFlashメモリの基本的な部分は、図6に示された実施例と同様であるが、半導体記憶装置内部でのデータ転送のために図8の

50

24

DRAMと同様に転送コントロール回路(Control)と転送アドレスカウンタ(Add.counter)が設けられる。これに応じて、アドレス端子A1が削除される。この実施例では、転送コントロール回路のシーケンシャルな動作のためのクロックパルスCLKが制御端子から供給される。これに代えて、信号CEB(RASB)をクロック入力に利用するものであってもよい。

【0105】図14には、この発明に係る他の一実施例の半導体記憶装置とそれを用いたマイクロコンピュータシステムのブロック図が示されている。この実施例の半導体記憶装置は、汎用のDRAMと汎用のFLASHに加えてデータ転送動作を行う制御チップが1つのパッケージに設けられる。同図では、発明の理解を容易にするため、制御チップは、その内部の回路ブロックが例示的に示されている。言い換えるならば、DRAMとFLASHを除く回路ブロックは、制御チップとして1つの半導体チップに構成される。

【0106】この実施例では、2つのメモリチップDRAMとFLASHとのデータ転送が、制御チップを介してパッケージの内部において行われるようにされる。言い換えるならば、前記図7の実施例のようにDRAMやFLASHに転送用の制御信号を内蔵しないで、それを外部の制御チップに同等の機能を実現するものである。この構成においては、DRAMの記憶容量に対して、FLASHの記憶容量が大きいことを除いて、他の如何なる制約も受けなくできる。

【0107】データの転送動作は、FLASHとDRAMの一方からデータを読み出してデータバッファDBにストックし、他方にコントロール部を用いて書き込み動作をさせるようとする。ここで、CONTは、コントロール部であり、クロックパルス発生回路CLKによりクロックパルスを受けて、上記データ転送に必要な一連のシーケンシャルな動作制御を受け持つ。

【0108】AC1はアドレスカウンタであり、DRAM用のアドレスマルチプレックス用のアドレス信号を発生させる。AC2もアドレスカウンタであるが、FLASH用のアドレスノンマスクブレックス用のアドレス信号を発生させる。RTMは、リフレッシュ用タイマーであり、データ転送方向に対応してDRAMのセフルリフレッシュ動作の制御を行う。ABTはアビタであり、リフレッシュ動作とメモリアクセス動作の調停を行う。TGはタイミングゼネレータであり、RASB、CASB、WEB及びOEB等のDRAMの動作に必要な各種タイミングパルスを発生させる。

【0109】システム側では、データレジスタや電源電圧VCCとVPPの供給制御を行うリレー回路が新たに追加される。データレジスタは、アドレスデコーダにより選択されて、上記のような電源制御のためのコマンドを受け取り、それに対応してリレー回路を制御する。

【0110】この実施例では、制御チップを汎用チップ

として用いるものであってもよい。すなわち、1チップのマイクロコンピュータにより制御チップを構成し、2つのメモリチップDRAMとFLASHとの間でのデータ転送を行うようとする。このことは、等価的に図1の実施例と同様にしてデータ転送を行うようにすることができるものである。すなわち、システム上のマイクロプロセッサに代わって、専用のローカルプロセッサによってデータ転送が行われるものである。

【0111】図15には、DRAMの一実施例のピン配置図が示されている。この実施例では、DRAMは約16Mビットの記憶容量を持つようにされ、28ピンのパッケージにより構成される。この場合、×1ビット構成と×4ビット構成の例が示されている。×8ビット構成にするときには、X系又はY系に対して最上位ビットアドレスA10が無効にされる。

【0112】図16には、この発明に係る半導体記憶装置の一実施例の断面図が示されている。この実施例では、フレーム(リード)とチップ表面とは、フィルムを介在させて接着剤によりそれぞれ接着される。フレームの端子は金ワイヤによってチップホンディングパッドと接続される。このような構成に代え、フレームは、接着剤によってチップの表面に形成された絶縁体に接続せられるものとしてもよいし、フレームは、モールド樹脂によってボンディング用の接続を行うリード表面を除く個所を覆うようにしておき、接着によりチップの表面に接続されるものとしてもよい。フレーム(リード)の端子は、金ワイヤによってチップのホンディングパッドに接続される。

【0113】この実施例では、フレームは外部端子と一体的に構成される主フレームに対してDRAMチップが接続される。これに対して、Flashチップはいわば副フレームというべきフレームに接続され、上記DRAMチップの上部にFlashチップの表面が向かいあって重ね合うようにフレーム部分で接続される。これにより、パッケージの厚みは多少厚くなるが、2つのチップが内蔵されるにもかかわらず、半導体記憶装置の外観形状をチップが1つのものとほぼ同じくできる。

【0114】図17には、図16に示した半導体記憶装置の一部内部平面図が示されている。同図には、上側のFlashチップと、その下側に配置されるDRAMチップの一部表面が例示的に示されている。特に制限されないが、Flashチップの内部ピンというべきフレームは、DRAMチップが接続されるフレームに対してハンダにより電気的に接続される。この実施例のDRAMやFlashは、電源インピーダンスを低く抑えるために、接地電位VSSのリードは同図で縦長に示されたチップの中央部右側を上方向に延びてDRAMチップ及びFlashチップの複数箇所で接地電位を与えるボンディングパッドに金ワイヤにより接続される。同様に、5Vのような電源電圧VCCのリードは、チップの中央部左側を上方向に延

びてDRAMチップ及びFlashチップの複数箇所で電源電圧を与えるボンディングパッドに金ワイヤにより接続される。

【0115】フィルムは、前記のようなチップの表面とリードとが電気的に接触されてしまうのを防ぐ絶縁膜としての役割を果たす。また、前記図14の実施例のように3つのチップを1つパッケージ内に封止する場合には、このFlashチップの上側にか、又はDRAMチップの下側に制御チップを同様に重ね合わせるようにすればよい。

【0116】図18には、(A)にDRAMメモリのメモリセルの一実施例の平面部分が示され、(B)にはそれに対応した断面部分が示されている。DRAMメモリのメモリセルは、情報記憶用の容量電極からなるキャバシタと、 adres選択用のスイッチMOSから構成される。

【0117】図19には、(A)にFLASHメモリのメモリセルの一実施例の平面部分が示され、(B)にはそれに対応した断面部分が示されている。FLASHメモリのメモリセルは、フローティングゲートとコントロールゲートとを持つスタックドゲート構造の1つのメモリMOSから構成される。

【0118】図18と図19は、ほぼ同じ縮尺で描かれている。このようにDRAMのメモリセルのサイズに比べてFLASHのメモリセルのサイズは若干小さい。しかし、図21の実施例のように、書き込み動作や消去動作のために、その周辺回路の規模はDRAMに比べて大きい。このようなメモリセルアレイとその周辺回路の大小関係により、記憶容量が同じDRAMチップとFLASHチップとはほぼ同じ大きさに形成できる。

【0119】上記のように同じ記憶容量を持つ2種類のメモリチップのサイズがほぼ同じにできるということは、図16の実施例のようにして2つのメモリチップを重合させて1つのパッケージに封止する上では極めて都合がよい。

【0120】図22には、この発明に係る半導体記憶装置を用いたマイクロコンピュータシステムの電源供給方法の一実施例のブロック図が示されている。電源回路は主電源からの電源を受けてこの発明に係る半導体記憶装置を用いたメモリ装置(DRAM+FLASH)に対してVCC、VSS及びVPPの電圧を供給する。特に制限されないが、転送用電池が搭載されたシステムでは、主電源が遮断されて転送用電池により電源回路が動作して、内部回路に対して電源供給が可能になる。

【0121】上記のように転送用電池が搭載されたシステムにおいて、その電池の容量が比較的小さくて、FLASHに対する書き換えが出来ないときには、この電池を用いてDRAMをセルフリフレッシュモードとしてバッテリーバックアップとして用いる。すなわち、不意に電源が遮断されたときのデータ破壊を防止することがで

きる。

【0122】上記転送用の電池の容量が大きいときは、主電源が不用意にあるいは不所望に切断されたときでも、CPUやメモリ装置には転送用電池により電源供給が継続して行われ、DRAMのデータをFLASHに転送した後の転送終了信号ENDを以てCPUが電源回路の動作を停止させるためのパワーダウン信号PDNを発生させる。

【0123】正常に電源遮断を行うときには、CPUがメモリ装置のDRAMとFLASHとをアクセスして、あるいはメモリ装置に対して転送命令を指示してDRAMのデータをFLASHに転送させたことを確認して主電源の遮断が行われる。このような動作により、FLASHの書き換え回数は10万回程度に制限されるが、上記のようにDRAMと組み合わせ通常のデータの書き換えはDRAMに対して行うようにし、電源遮断時のみFLASHの書き換えを行なうようにすることによって実質的な書き換え回数の制限を無くすことができる。すなわち、上記のようなマイクロコンピュータシステムの電源の遮断を1日に2回の割り合いで行うものとすると、 $10\text{万} / 365 \times 2 = 100\text{年}$ となり、書き換え回数制限が1万回としても10年以上使用可能となる。しかも、データ処理におけるデータの書き換えは、DRAMに対して行われるからメモリアクセスの高速化が可能となり、データ処理時間の大大幅な短縮化が可能になるという利点もたらされる。

【0124】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 電気的に書き込みと消去が可能にされた不揮発性のメモリチップとRAMとを同一のパッケージに実装させて1つの半導体記憶装置を構成することにより、通常のメモリアクセスがRAMに対して行われるから高速化と不揮発性メモリに対する書き換え回数の制限を無くしつつ、電源を遮断する前にRAMのデータが不揮発性メモリに転送されるからデータの不揮発化を図ることができるという効果が得られる。

【0125】(2) 上記不揮発性のメモリチップとして、トンネル酸化膜を通して流れるトンネル電流によりフローティングゲートに蓄積された情報電荷の消去動作が行われる一括消去型不揮発性メモリとし、RAMとしてダイナミック型RAMとを用いることにより、両者のチップサイズはほぼ同じで記憶容量も同一にできるから2つのメモリチップを1つの組み合わせるときの整合性を良くすることができるという効果が得られる。

【0126】(3) 上記不揮発性のメモリチップとRAMチップとの外部アドレス端子及び制御端子が実質的に同様にされて外部からアドレス信号と制御信号とが共通に供給されるとともにいずれかのチップをアクセスするかを選択する制御端子を設けることにより、パッケージの内部での対応する端子の接続が簡単に行えるという

効果が得られる。

【0127】(4) 上記不揮発性のメモリチップに一連の自動消去動作及び自動書き込み動作を制御する制御回路を内蔵されることにより、外部からの書き換えが簡単に行われるという効果が得られる。

【0128】(5) 上記不揮発性のメモリチップとRAMチップに、それぞれ内部でデータの相互に転送を行なわせる制御回路を含ませることより、外部からはデータ転送を指示するだけでよく、取扱いが極めて簡単になる

10 という効果が得られる。

【0129】(6) 上記不揮発性のメモリチップに対して外部からの直接アクセスを不能にすることにより、メモリ制御を単純化できるという効果が得られる。

【0130】(7) 上記不揮発性のメモリチップとRAMチップとはLOC技術によりリードフレームに接続され、このリードを介して2つが同一パッケージの中で電気的に接続されるよう重合わせて実装されることにより、実質的な半導体記憶装置のサイズを小さくできる

という効果が得られる。

【0131】(8) 電気的に書き込みと消去が可能にされた不揮発性メモリチップと、RAMチップ及び上記両メモリチップの間でデータの転送を行なわせる制御用チップとを同一のパッケージに実装することにより、汎用のチップを用いて新しい機能を持つ半導体記憶装置を得ることができるという効果が得られる。

【0132】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、RAMは、ダイナミック型RAMの他にスタティック型RAMを用いるものであってもよい。電気的に消去動作が可能なされる不揮発性メモリは、FLASHの他に書き込み動作もトンネル電流を利用するFLTOX型やMOSトランジスタを用いるものであってもよい。

【0133】ダイナミック型RAMを用いる場合、アドレス端子はX系とY系のアドレスを独立した端子から入力させるものであってもよい。このようなアドレス端子を独立した場合には、それに応じてFLASH等の不揮発性メモリも独立したアドレス端子を持つようにすればよい。2つのチップを重合わせて1つのパッケージに搭載するとき、図16とは逆に2つのチップの裏面が互いに背中合わせになるようにし、副フレーム側のリードが背面に向かって延びて主フレームの対応するリードに接続されるようにしてもよい。このように、2つ又は3つのチップを1つのパッケージに実装させる構成は、種々の実施形態を探ることができる。この発明は、RAMチップと不揮発性メモリチップとを組み合わせてなる半導体記憶装置として広く利用できる。

【0134】

【発明の効果】本願において開示される発明のうち代表

的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、電気的に書き込みと消去が可能にされた不揮発性のメモリチップとRAMとを同一のパッケージに実装させて1つの半導体記憶装置を構成することにより、通常のメモリアクセスがRAMに対して行われるから高速化と不揮発性メモリに対する書き換え回路数の制限を無くしつつ、電源を遮断する前にRAMのデータが不揮発性メモリに転送されるからデータの不揮発化を図ることができる。

## 【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置とそれを用いたマイクロコンピュータシステムの一実施例を示すブロック図である。

【図2】FlashからDRAMへのデータ転送動作を説明するための一実施例を示すフローチャート図である。

【図3】DRAMからFlashへのデータ転送動作を説明するための一実施例を示すフローチャート図である。

【図4】FlashからDRAMへのデータ転送動作を説明するための一実施例を示すタイミング図である。

【図5】DRAMからFlashへのデータ転送動作を説明するための一実施例を示すタイミング図である。

【図6】Flashメモリの一実施例を示す内部ブロック図である。

【図7】この発明に係る他の一実施例の半導体記憶装置とそれを用いたマイクロコンピュータシステムのブロック図である。

【図8】DRAMの一実施例を示す内部ブロック図である。

【図9】FlashからDRAMへのデータ転送動作を説明するための一実施例のフローチャート図である。

【図10】DRAMからFlashへのデータ転送動作を説明するための一実施例のフローチャート図である。

【図11】FlashからDRAMへの転送動作の一例を示すタイミング図である。

【図12】DRAMからFlashへの転送動作の一例を示すタイミング図である。

【図13】Flashメモリの他の一実施例を示す内部ブロック図である。

【図14】この発明に係る他の一実施例の半導体記憶装置とそれを用いたマイクロコンピュータシステムのブロック図である。

【図15】DRAMの一実施例を示すピン配置図である。

【図16】この発明に係る半導体記憶装置の一実施例を示す断面図である。

【図17】この発明に係る半導体記憶装置の一実施例を示す一部内部平面図である。

【図18】DRAMメモリのメモリセルの平面部分とそれに対応した断面部分を示す構造図である。

【図19】FLASHメモリのメモリセルの平面部分とそれに対応した断面部分を示す構造図である。

【図20】DRAMのメモリアレイとX系のアドレス選択回路の一実施例を示す回路図である。

【図21】FLASHのメモリマットMATとその主要な周辺回路の一実施例を示す回路図である。

【図22】この発明に係る半導体記憶装置を用いたマイクロコンピュータシステムの電源供給方法の一実施例を示すブロック図である。

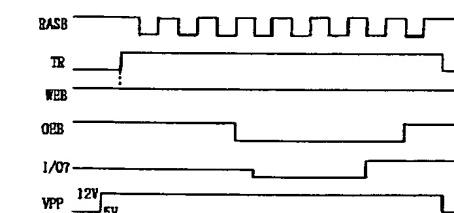
## 【符号の説明】

DRAM…ダイナミック型RAM、FLASH、Flash…一括消去型不揮発性メモリ、CPU…マイクロプロセッサ、AB…アドレスバス、DB…データバス、CB…制御バス、MAT…メモリマット、X-DEC…Xデコーダ、Y-DEC…Yデコーダ、S.A…センスアンプ、XAB…Xアドレスバッファ、YAB…Yアドレスバッファ、TG…タイミング発生回路、MA…メインアンプ、Din…データ入力バッファ、Dout…データ出力バッファ、CONT…コントロール部、AC1, AC2…アドレスカウンタ、RTM…リフレッシュタイマ、ABT…アビタ、DB…データバッファ、CLK…クロック発生回路、MARY…メモリアレイ、UXDCR…単位デコーダ回路、UWD0～UWD3…ワード線駆動回路、MB0～MBn…メモリブロック、SS0～SSn…ソーススイッチ回路、SA0…センスアンプ、WA…書き込みアンプ。

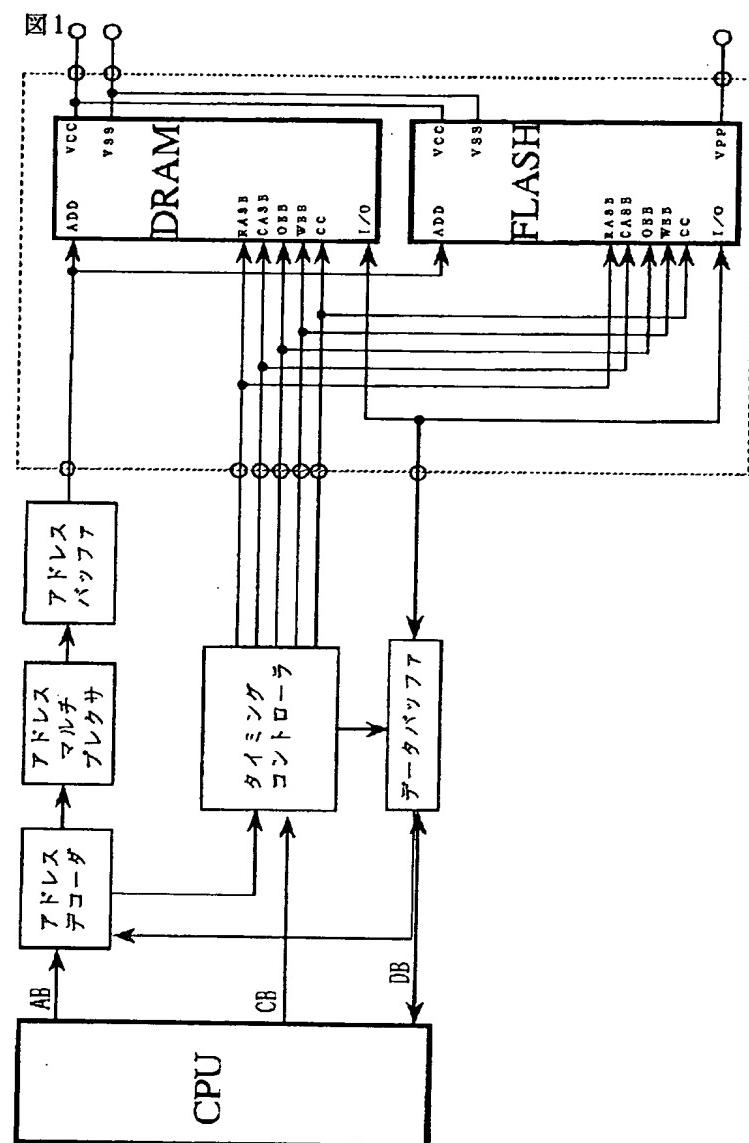
【図11】Flash→DRAM転送

【図11】

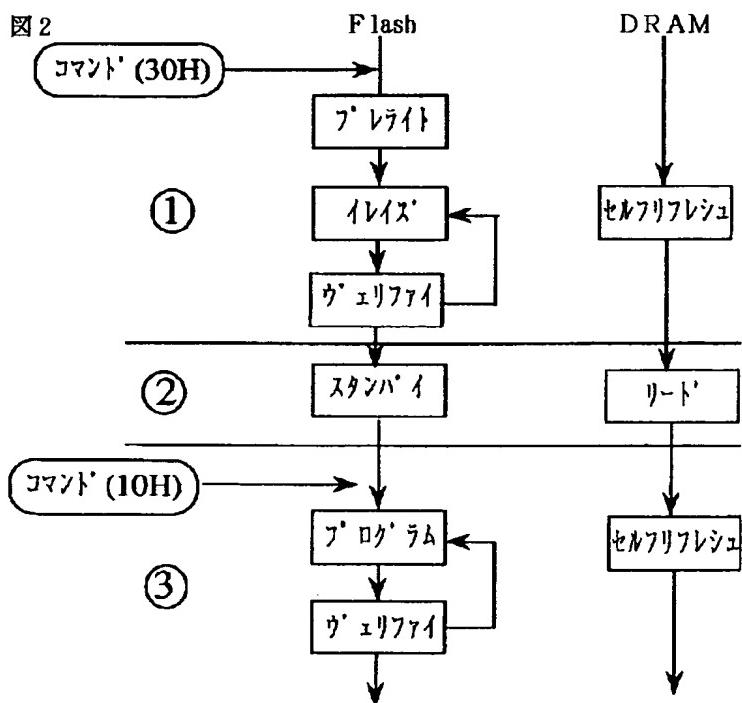
【図12】DRAM→Flash転送



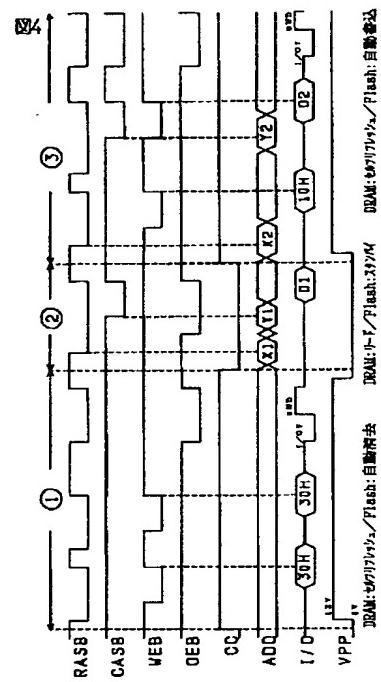
【図1】



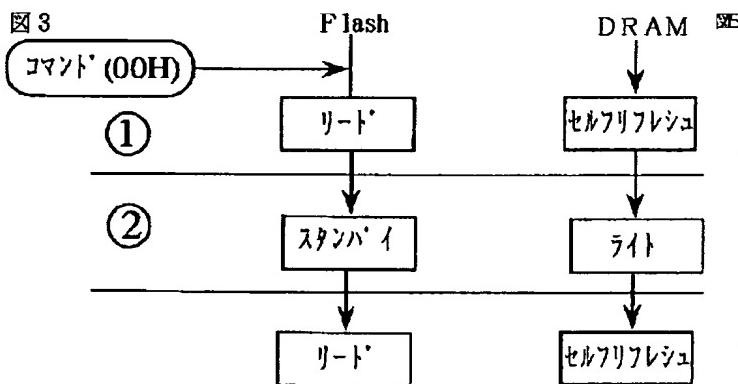
【図2】



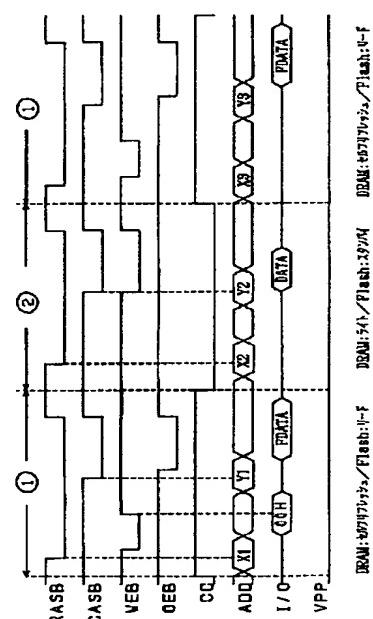
【図4】



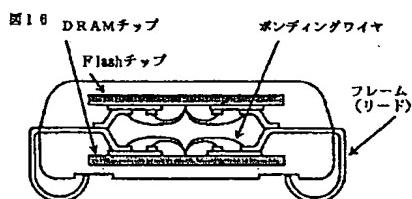
【図3】



【図5】

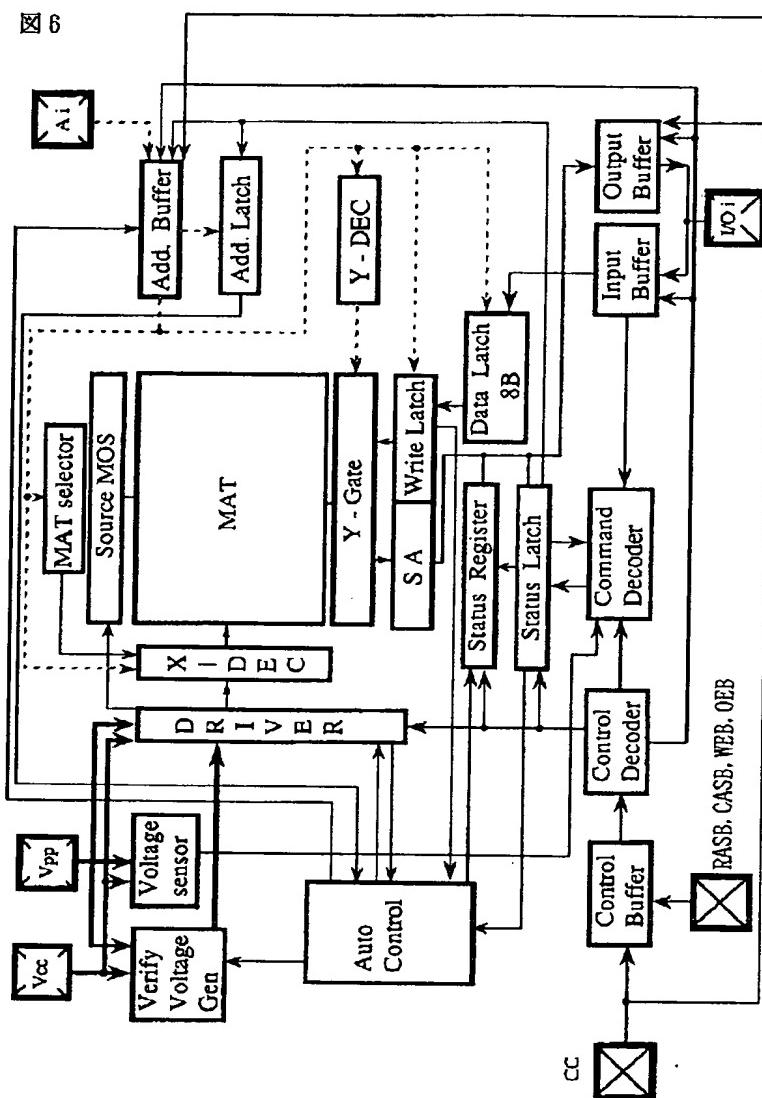


【図6】

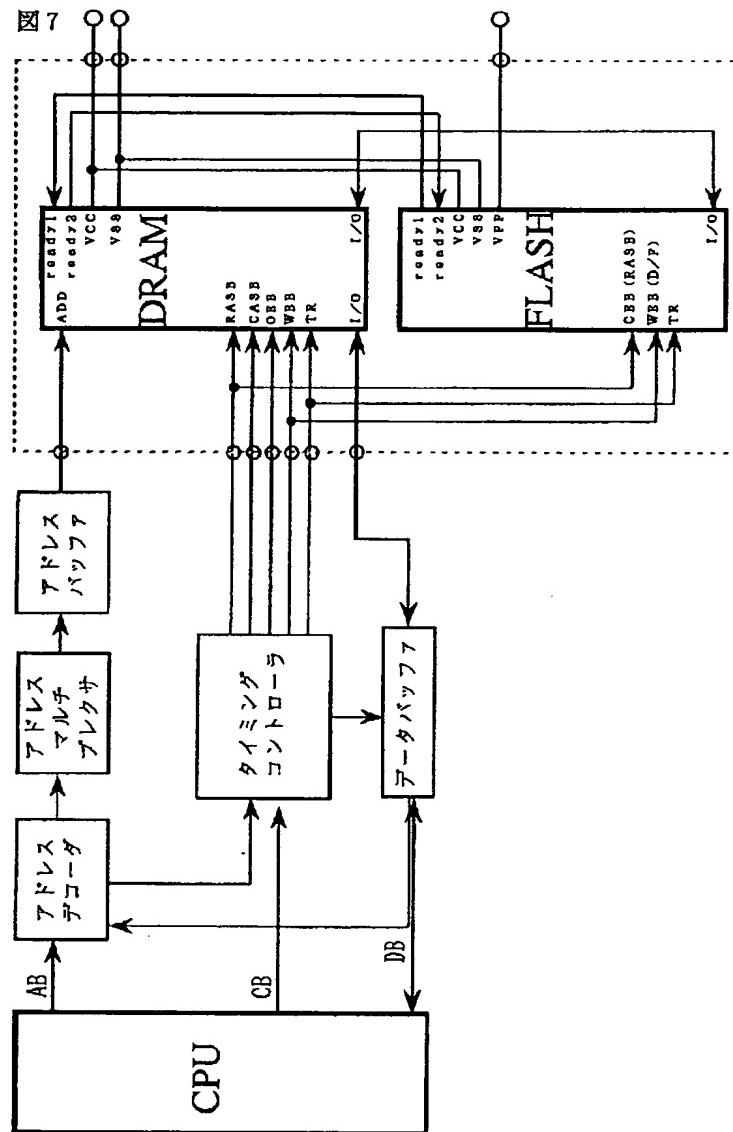


【図6】

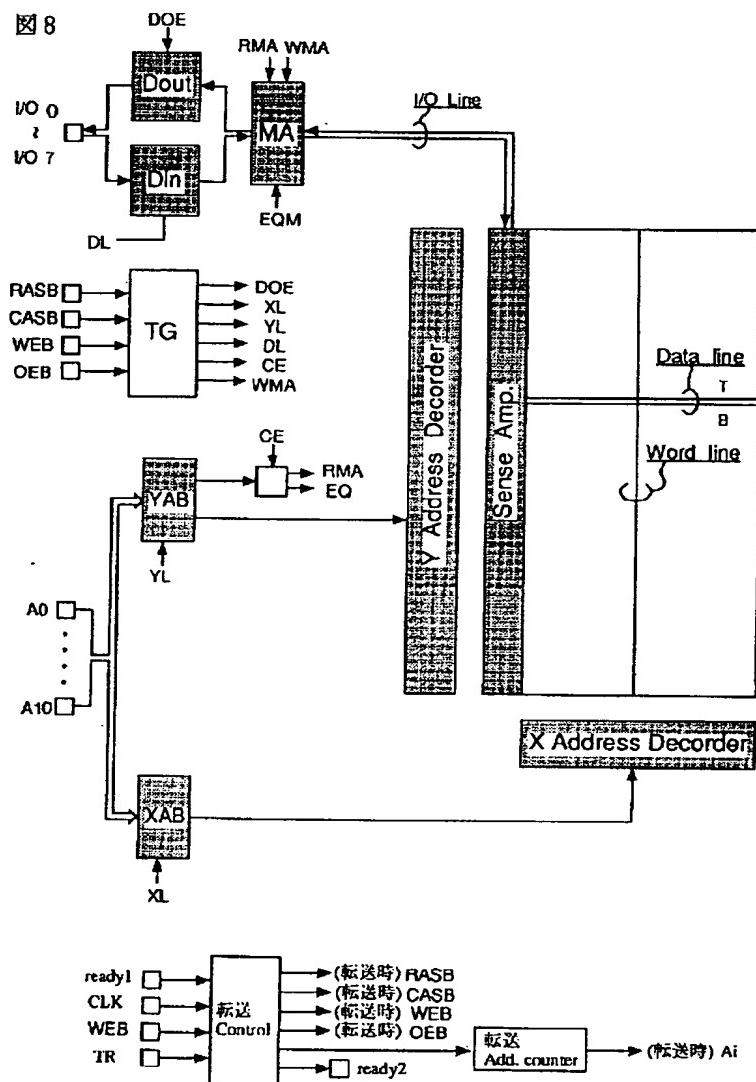
図6



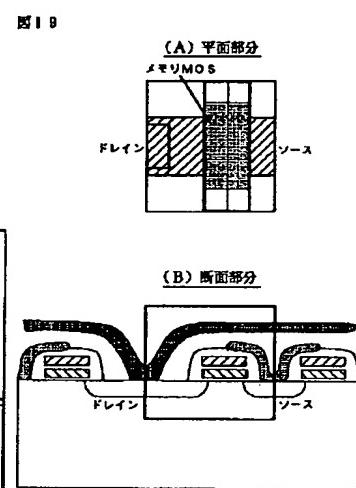
【図7】



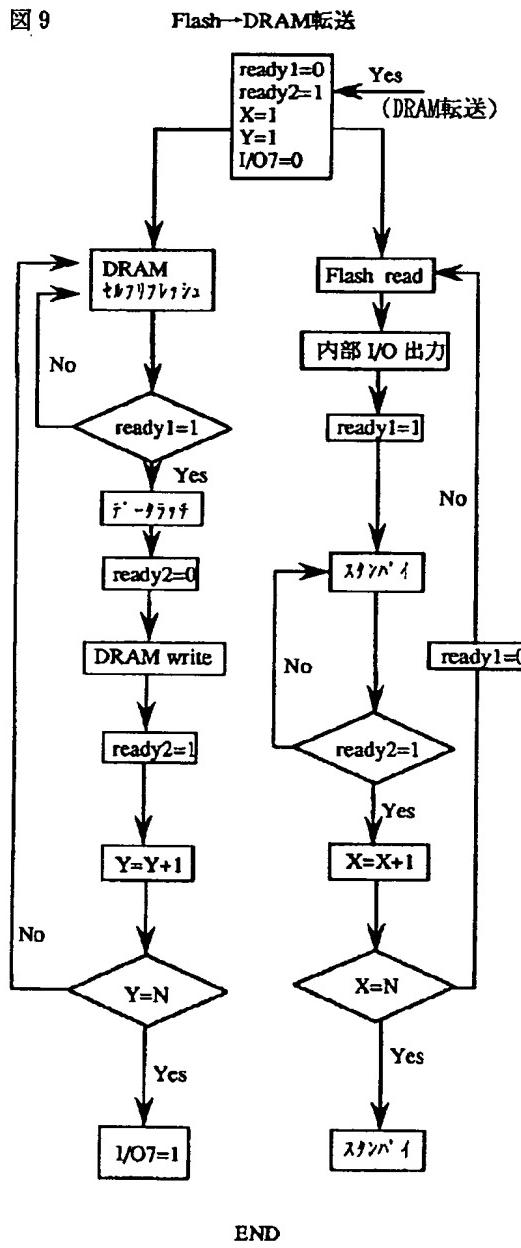
【図8】



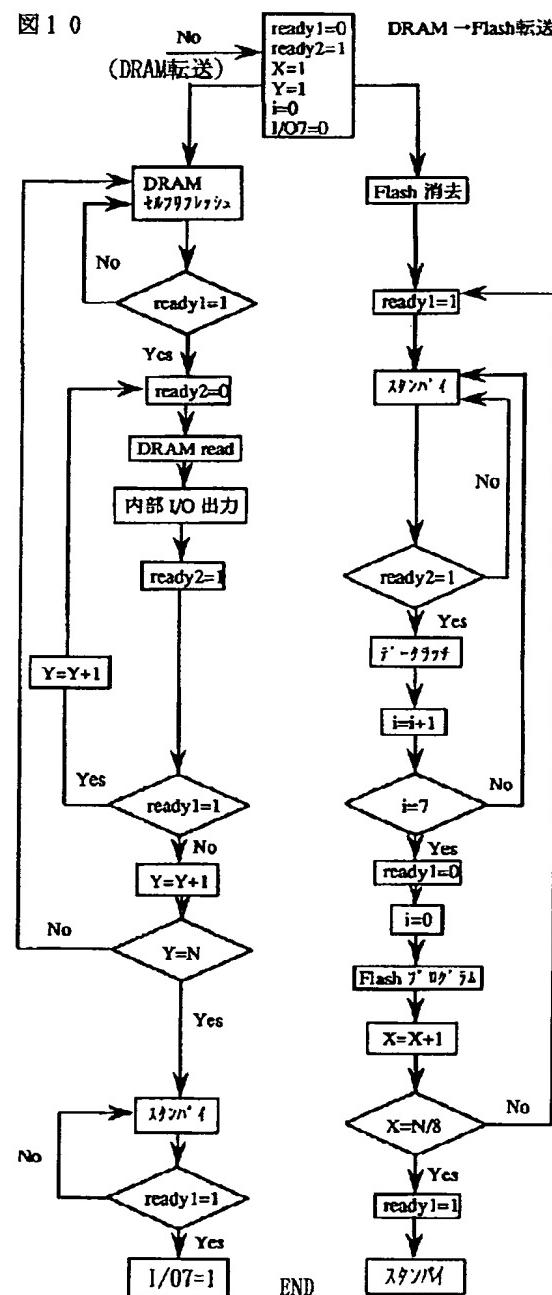
【図19】



[图9]

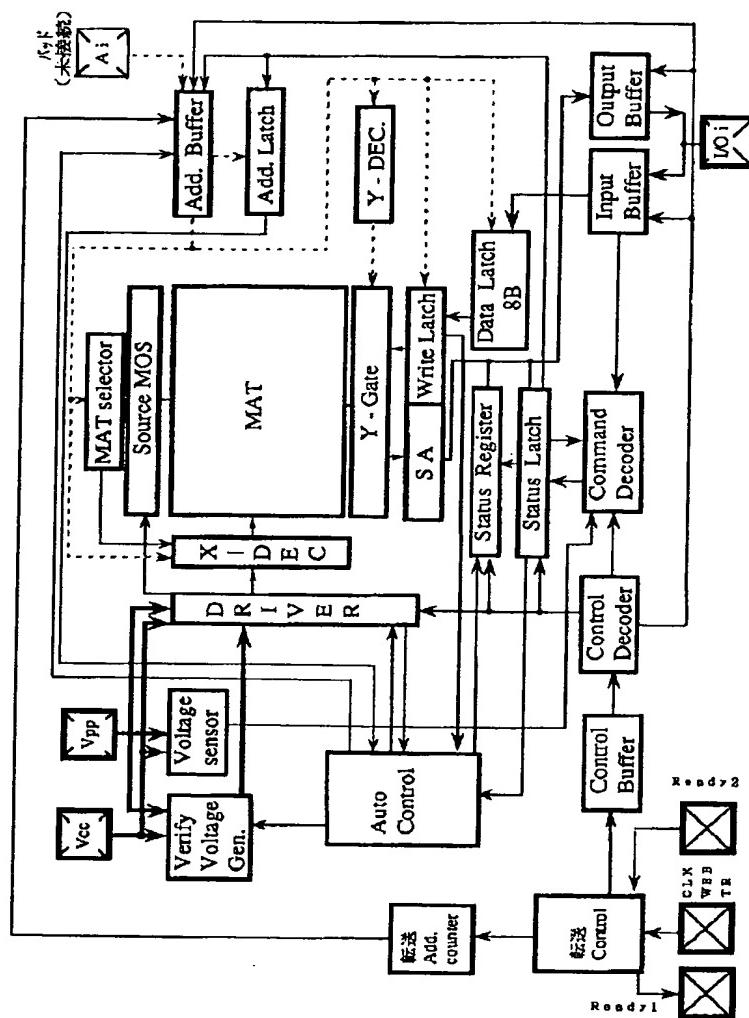


【図10】

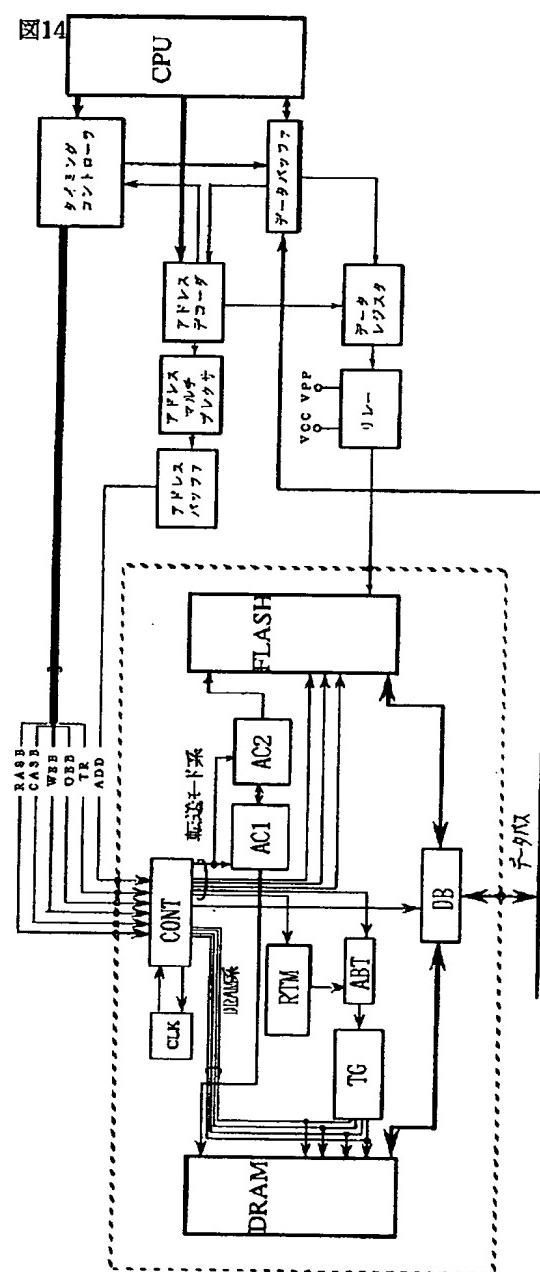


【図13】

図13



【図14】



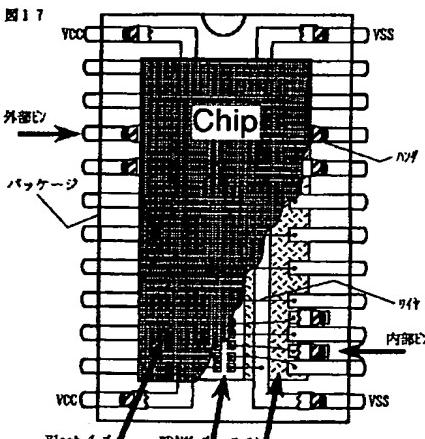
【図15】

図15

4M×4 DRAM		16M×1 DRAM	
→	VCC	1	28
DQ1	D	2	27
DQ2	NC	3	26
→	WEB	4	25
→	RASB	5	24
→	A11	6	23
→	A10	9	20
→	A0	10	19
→	A1	11	18
→	A2	12	17
→	A3	13	16
→	VCC	14	15
		VSS	←
		Q	DQ4
		NC	DQ3
		CASB	←
		NC	OEB
		A9	←
		AB	←
		A7	←
		A6	←
		A5	←
		A4	←
		VSS	←

【図17】

図17



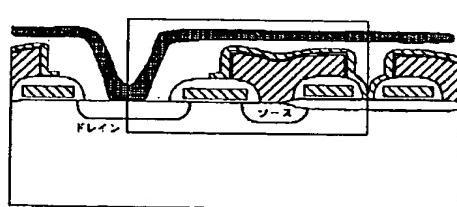
【図18】

図18

(A) 平面部分

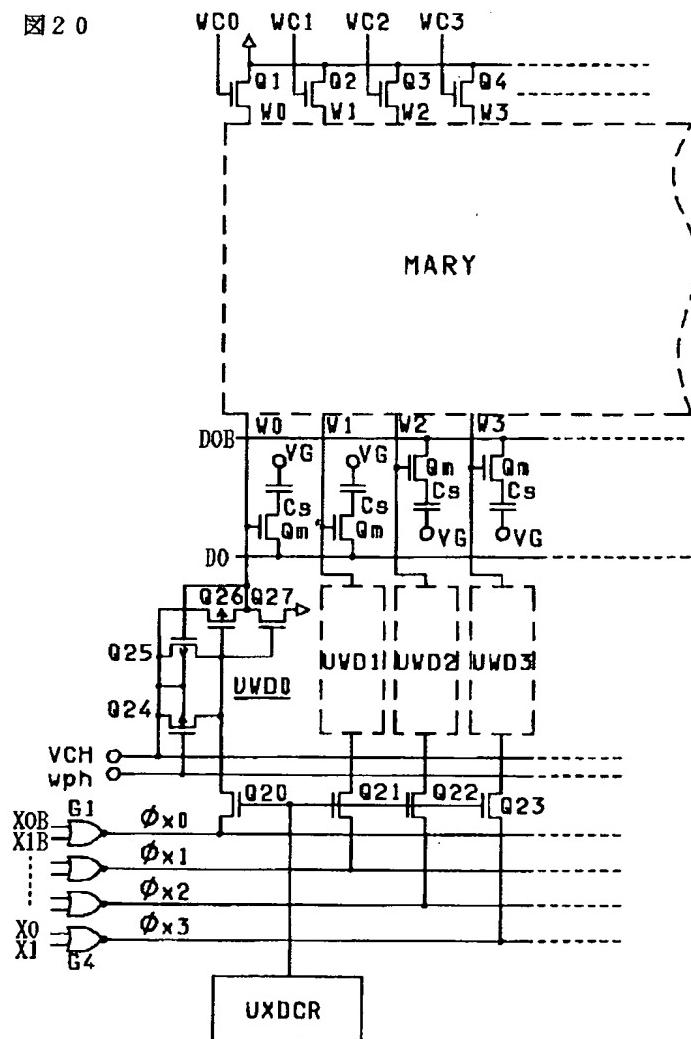


(B) 断面部分



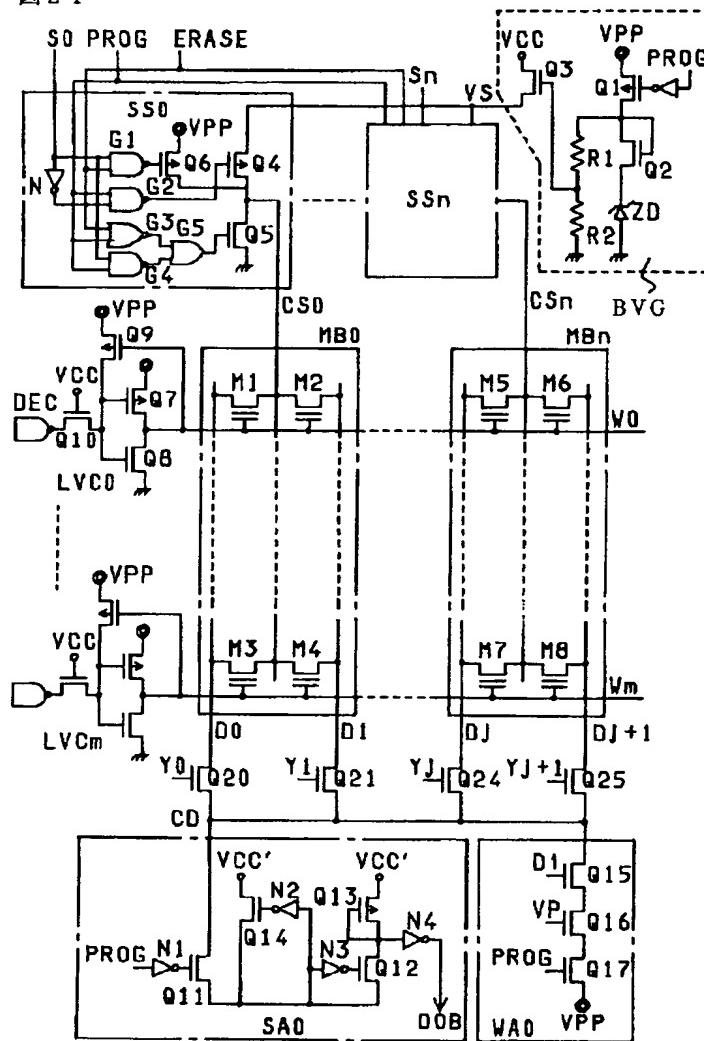
【図20】

図20



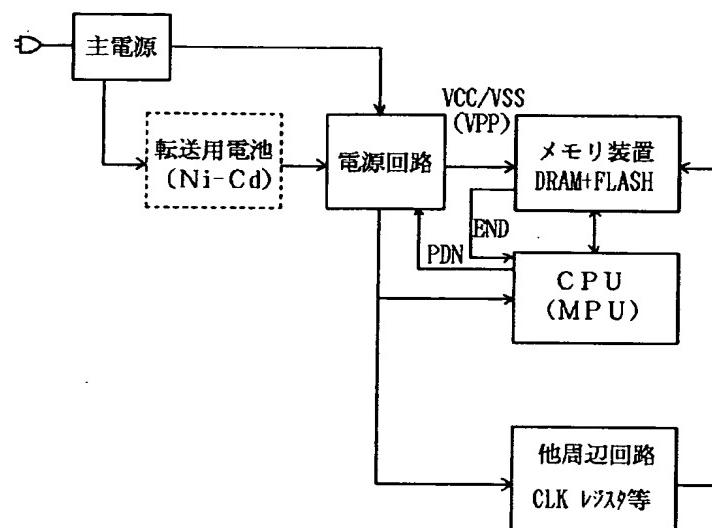
【図21】

図21



【図22】

図22




---

フロントページの続き

(72)発明者 吉田 敬一

東京都青梅市今井2326番地 株式会社日立  
製作所デバイス開発センタ内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**